

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

501p05284500  
RS  
#  
4  
11-5-01  
J1036 U.S. PTO  
09/840412  
04/23/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 4月25日

出願番号

Application Number:

特願2000-124795

出願人

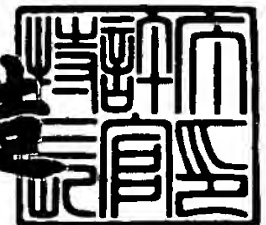
Applicant(s):

ソニー株式会社

2001年 2月23日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3011846

【書類名】 特許願

【整理番号】 9900867801

【提出日】 平成12年 4月25日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/44

【発明者】

    【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
    内

    【氏名】 鍋迫 英輝

【発明者】

    【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
    内

    【氏名】 八木 修

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

    【代表者】 出井 伸之

【代理人】

    【識別番号】 100090376

    【弁理士】

    【氏名又は名称】 山口 邦夫

    【電話番号】 03-3291-6251

【選任した代理人】

    【識別番号】 100095496

    【弁理士】

    【氏名又は名称】 佐々木 榮二

    【電話番号】 03-3291-6251

【手数料の表示】

    【予納台帳番号】 007548

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709004

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デマルチプレクサ

【特許請求の範囲】

【請求項1】 複数種類のパケットが所定の多重化方式で多重されてなる入力デジタルデータより任意のパケットを分離して出力するデマルチプレクサであって、

上記入力デジタルデータを入力するデータ入力部と、

上記データ入力部に入力された上記入力デジタルデータを格納して転送するシフトレジスタと、

上記シフトレジスタに格納された上記入力デジタルデータより上記パケットのヘッダを抽出して格納するレジスタ群と、

上記レジスタ群に格納された上記パケットのヘッダを解析する演算部と、

上記レジスタ群に格納された上記パケットのヘッダに含まれるパケット識別子に基づいて、当該パケット識別子を持つパケットの出力先を決定する出力先決定部と、

上記演算部の演算結果および上記出力先決定部の決定結果に従って、上記シフトレジスタより出力される上記入力デジタルデータより任意のパケットを分離して上記決定された出力先に出力する分離部と、

各部の各多重化方式毎の制御方法を決定するためのマイクロコードを格納する命令メモリと、

上記命令メモリに格納された上記マイクロコードの実行アドレスを得るためのカウンタと、

上記カウンタで得られる上記実行アドレスによって上記命令メモリより読み出されるマイクロコードに基づき、上記各部の動作を制御するための制御部と、

上記シフトレジスタに格納された上記入力デジタルデータよりタイミング情報を抽出し、当該タイミング情報に基づいてシステムクロックを制御するシステムクロック制御部と

を備えることを特徴とするデマルチプレクサ。

【請求項2】 上記出力先決定部を、連想メモリで構成する

ことを特徴とする請求項 1 に記載のデマルチプレクサ。

【請求項 3】 上記出力先決定部の内蔵メモリに、上記出力先を決定するためのデータを書き込むデータ書き込み手段をさらに備える

ことを特徴とする請求項 1 に記載のデマルチプレクサ。

【請求項 4】 上記レジスタ群は、上記入力デジタルデータに多重されている各パケットの長さを管理するカウンタを構成するレジスタを含む

ことを特徴とする請求項 1 に記載のデマルチプレクサ。

【請求項 5】 上記演算部を、演算論理ユニットで構成することを特徴とする請求項 1 に記載のデマルチプレクサ。

【請求項 6】 上記演算部は、上記入力デジタルデータを構成する各パケットの連続性を検出する専用回路を有する

ことを特徴とする請求項 1 に記載のデマルチプレクサ。

【請求項 7】 上記演算部は、上記入力デジタルデータを構成する各パケットのヘッダにビット操作を施してレジスタ群に格納する専用回路を有する

ことを特徴とする請求項 1 に記載のデマルチプレクサ。

【請求項 8】 上記制御部は、上記命令メモリより読み出される一つのマイクロコードにより、一または複数の部分を同時に動作させるための制御信号を生成する

ことを特徴とする請求項 1 に記載のデマルチプレクサ。

【請求項 9】 上記データ入力部は、入力デジタルデータを一時的に保持する入力バッファを有する

ことを特徴とする請求項 1 に記載のデマルチプレクサ。

【請求項 10】 上記入力バッファに上記入力デジタルデータが入力されるとき、上記入力バッファよりデータの読み出しが行われると共に上記シフトレジスタでシフト動作が行われるように制御する

ことを特徴とする請求項 9 に記載のデマルチプレクサ。

【請求項 11】 上記出力先として、上記分離部で分離されたパケットを格納する複数のバッファメモリを有する

ことを特徴とする請求項 1 に記載のデマルチプレクサ。

【請求項 1 2】 上記出力先として単一のバッファメモリを有し、  
上記分離部で分離されたパケットを、上記単一のメモリの対応する記憶領域に  
格納する

ことを特徴とする請求項 1 に記載のデマルチプレクサ。

【請求項 1 3】 上記分離部は、バイトエンディアンの変更手段を有する  
ことを特徴とする請求項 1 に記載のデマルチプレクサ。

【請求項 1 4】 上記命令メモリに上記マイクロコードを書き込むデータ書  
き込み手段をさらに備える

ことを特徴とする請求項 1 に記載のデマルチプレクサ。

# 【発明の詳細な説明】

## 【0 0 0 1】

### 【発明の属する技術分野】

この発明は、複数種類のパケットが所定の多重化方式で多重されてなる入力デ  
ィジタルデータ（ビットストリーム）より任意のパケットを分離して出力するデ  
マルチプレクサに関する。詳しくは、マイクロコードを格納する命令メモリを備  
え、この命令メモリより順次読み出されるマイクロコードに基づいて各部の動作  
を制御する構成とすることによって、命令メモリより読み出されるマイクロコー  
ドを変更することで複数の多重化方式に柔軟に対応でき、回路規模の縮小および  
コストダウンを可能にするデマルチプレクサに係るものである。

## 【0 0 0 2】

### 【従来の技術】

現在、放送用、蓄積メディア用のディジタルデータは、映像、音声、文字等の  
情報を符号化した後、パケット化、もしくはパック化して多重化し、ビットスト  
リームとして伝送、蓄積する。この場合、符号化の手法が同じでも、多重化の方  
式が異なれば、受信側のデマルチプレクサとしては、各多重化方式毎にそれぞれ  
異なる構成のものが必要となってくる。

## 【0 0 0 3】

例えば、DVB (Digital Video Broadcasting)、DSS (Digital Satellite Sy  
stem)、DVD (Digital Versatile Disc)などは、それぞれ異なった多重化がな

されている。

#### 【 0 0 0 4 】

図 1 9 は、DVB ストリームを構成する DVB パケットの一般的な構造を示している。この DVB パケットは、4 バイトのヘッダと、可変長のアダプテーションフィールドと、可変長のペイロード（データ部）とで構成され、188 バイト長である。ペイロードには、周知のように、PES (Packetized Elementary Stream) パケットが再分割されて配されていると共に、さらに MPEG 2 システムの中で規定されている PSI (Program Specific Information) としての各種テーブル類もセクション形式によって配されている。なお、アダプテーションフィールドとペイロードのどちらかのみで構成される場合もある。ヘッダ内に、パケット ID である PID (Packet Identification) が含まれ、アダプテーションフィールド内にはタイミング情報としての PCR (Program Clock Reference) が含まれている。

#### 【 0 0 0 5 】

図 2 0 は、DVB パケットのヘッダの主な項目を示している。「sync\_byte」は、0x47 である。「transport\_error\_indicator」が '1' の場合、そのパケットにエラーがあることを示している。「payload\_unit\_start\_indicator」が '1' の場合、そのパケットのペイロードに PES か PSI のヘッダがあることを示している。「transport\_scrambling\_control」が '00' の場合、そのパケットがスクランブルされていないことを示している。「adaptation\_field\_control」の上位ビットが '1' の場合はそのパケットにアダプテーションフィールドが含まれていることを示し、その下位ビットが '1' の場合はそのパケットにペイロードが含まれていることを示している。「continuity\_counter」は、同一の PID を持つパケットが連続か不連続かを調べるために用いられる。

#### 【 0 0 0 6 】

図 2 1 は、アダプテーションフィールドの主な項目を示している。「adaptation\_field\_length」は、アダプテーションフィールドの長さを示しており、「adaptation\_field\_control」が '10' の場合は、必ず 0xB7 (= 183) になる。「PCR\_flag」が '1' の場合は、アダプテーションフィールド内にタイミング情報としての

P C Rが含まれていることを示している。

【 0 0 0 7 】

図 2 2 は、D S S ストリームを構成する D S S パケットの一般的な構造を示している。この D S S パケットは、2 バイトのプリフィックスと、1 2 8 バイトのトランスポートブロックとで構成され、1 3 0 バイト長である。プリフィックス内にパケット I D である S C I D (Service Channel Identification) が含まれ、トランスポートブロック内にタイミング情報が含まれている。

【 0 0 0 8 】

図 2 3 は、D S S パケットのプリフィックスの主な項目を示している。「Packet Framing」は、パケット毎に、交互に '0' または '1' となる。「Control Flag」は、そのパケットがスクランブルされていれば '0'、スクランブルされていなければ '1' となる。図 2 4 は、プリフィックス以降の C C、H D フィールドの 1 バイトの構成を示している。「Continuity Counter」は、同一の S C I D を持つパケットが連続か不連続かを調べるために用いられる。「Header Designator」は、ビデオアプリケーションパケットの種類を示すために用いられる。

【 0 0 0 9 】

例えば、Auxiliary Data パケットの場合、「Header Designator」は '0000' であり、「Continuity Counter」も '0000' になっている。図 2 5 は、その場合における、C C、H D フィールド以降の 2 バイトの構成を示している。「Current Field Flag」が '1' の場合、Auxiliary Data パケットが有効であることを示している。「Aux Field ID」は、Auxiliary Data パケットに何の情報が入っているかを示している。'000000' の場合はタイミング情報としての「R T S : Reference Time Stamp」のみ 5 バイト含まれる。'000011' の場合、「Reference Time Stamp」と「Encryption Control Word Packet」の両方が含まれる。

【 0 0 1 0 】

図 2 6 は、D V D ストリームを構成する D V D パックの一般的な構造を示している。この D V D パックは、可変長のパックヘッダと、可変長のシステムヘッダと、可変長の P E S パケットとで構成され、全体のパック長も可変で P E S ヘッダ内にパケット I D であるストリーム I D が含まれ、パックヘッダ内にタイミン



グ情報としての S C R (system\_clock\_reference) が含まれている。

#### 【 0 0 1 1 】

図 2 7 は、P E S ヘッダの主な項目を示している。「PES\_start\_code\_prefix」は、0x000001と決まっており、P E S ヘッダの開始を示している。「PES\_packet\_length」は、この後に続く P E S パケットの長さを示している。「PES\_header\_data\_length」は、「stream\_id」に続く「optional PES header」の長さを示している。

#### 【 0 0 1 2 】

図 2 8 は、D V D パックヘッダの主な項目を示している。「pack\_start\_code」は、0x000001BAである。「system\_clock\_Reference\_base」と「system\_clock\_Reference\_extension」は、タイミング情報である。最初のパックのパックヘッダの後には、システムヘッダが存在する。図 2 9 は、システムヘッダの主な項目を示している。

#### 【 0 0 1 3 】

このように多重化方式が異なると、ストリームの構成、ヘッダの内容等、全て異なってくる。したがって、ヘッダ解析やペイロードの転送も、多重化方式によって異なる。

#### 【 0 0 1 4 】

図 3 0 は、複数種類のパケットが多重されてなる入力ディジタルデータとしてのビットストリームより任意のパケットを分離して出力するデマルチプレクサ 2 0 0 の構成を示している。

#### 【 0 0 1 5 】

このデマルチプレクサ 2 0 0 は、ビットストリーム S T M を入力するための入力端子 2 0 1 と、この入力端子 2 0 1 に入力されたビットストリーム S T M に含まれるパケットやパックのヘッダをシーケンサにより解析するヘッダ分析部 2 0 2 と、各パケットの出力先を決定するための出力先決定部 2 0 3 と、ヘッダ分析部 2 0 2 でビットストリーム S T M より抽出されるタイミング情報に基づいてシステムクロックを制御するためのシステムクロック制御部 2 0 4 とを有している。

## 【 0 0 1 6 】

出力先決定部 2 0 3 の内蔵メモリ（図示せず）には、予めビットストリーム STM より抽出すべきパケットを識別するためのパケット ID が登録される。このパケット ID は、例えば外部 CPU よりホストインタフェース 2 0 5 を介して供給される。そして、出力先決定部 2 0 3 は、ヘッダ分析部 2 0 2 で各パケットより抽出される抽出パケット ID が内蔵メモリに記憶されている所定の記憶パケット ID に一致するとき、その抽出パケット ID を持つパケットの出力先を、その所定の記憶パケット ID に対応して予め設定されている出力先に決定する。

## 【 0 0 1 7 】

また、デマルチプレクサ 2 0 0 は、ビットストリーム STM より出力先が決定されたパケットを分離し、その出力先に出力する分離部 2 0 6 を有している。例えば、分離部 2 0 6 には、出力端子 2 0 7 a, 2 0 7 b, 2 0 7 c, . . . が出力先として設けられている。

## 【 0 0 1 8 】

ビットストリーム STM が DVB ストリームであるとき、図 3 0 に示すようなデマルチプレクサ 2 0 0 では、図 3 1 のフローチャートに示すパケット処理が行われる。

## 【 0 0 1 9 】

すなわち、ステップ ST 1 1 で、DVB パケットを入力し、ステップ ST 1 2 で、同期バイト「sync\_byte」を検出する。そして、ステップ ST 1 3 で、ヘッダのエラービット（「transport\_error\_indicator」、「transport\_scrambling\_control」、「adaptation\_field\_control」等）を解析し、エラーがあるか否かを判定する。エラーがなければ、ステップ ST 1 4 に進む。

## 【 0 0 2 0 】

ステップ ST 1 4 では、ヘッダの PID が、出力先決定部 2 0 3 の内蔵メモリに予め登録されている PID であるか否かを判定する。ヘッダの PID が登録されたものであるときは、ステップ ST 1 5 で、ヘッダの連続性指標「continuity\_counter」を解析し、パケットの連続性が保たれているか否かを判定する。連続であるときは、ステップ ST 1 6 に進む。

## 【 0 0 2 1 】

ステップ S T 1 6 では、タイミング情報としての P C R があるか否かを判定する。タイミング情報があるときは、ステップ S T 1 7 に進む。このステップ S T 1 7 では、パケットよりタイミング情報を抜き取ってシステムクロック制御部 2 0 4 に供給し、その後にステップ S T 1 8 に進む。一方、タイミング情報がないときは、直ちにステップ S T 1 8 に進む。このステップ S T 1 8 では、ヘッダの P I D に対応して予め設定されている出力先に、パケットのペイロードを出力し、次のパケットの処理に移る。

## 【 0 0 2 2 】

また、ステップ S T 1 3 でエラーがあるとき、ステップ S T 1 4 でヘッダの P I D の登録がないとき、およびステップ S T 1 5 で連続でないときは、ステップ S T 1 9 で、パケットを全て廃棄し、次のパケットの処理に移る。

## 【 0 0 2 3 】

ビットストリーム S T M が D S S ストリームであるとき、図 3 0 に示すようなデマルチプレクサ 2 0 0 では、図 3 2 のフローチャートに示すパケット処理が行われる。

## 【 0 0 2 4 】

すなわち、ステップ S T 2 1 で、D S S パケットを入力し、ステップ S T 2 2 で、同期信号を検出する。そして、ステップ S T 2 3 で、プリフィックスのエラービット（「Control Flag」等）を解析し、エラーがあるか否かを判定する。エラーがなければ、ステップ S T 2 4 に進む。

## 【 0 0 2 5 】

ステップ S T 2 4 では、プリフィックスの S C I D が、出力先決定部 2 0 3 の内蔵メモリに予め登録されている S C I D であるか否かを判定する。プリフィックスの S C I D が登録されたものであるときは、ステップ S T 2 5 で、連続性指標「Continuity Counter」を解析し、パケットの連続性が保たれているか否かを判定する。連続であるときは、ステップ S T 2 6 に進む。

## 【 0 0 2 6 】

ステップ S T 2 6 では、タイミング情報としての R T S （Reference Time Sta

mp) があるか否かを判定する。タイミング情報があるときは、ステップ S T 2 7 に進む。このステップ S T 2 7 では、パケットよりタイミング情報を抜き取ってシステムクロック制御部 2 0 4 に供給し、その後にステップ S T 2 8 に進む。一方、タイミング情報がないときは、直ちにステップ S T 2 8 に進む。このステップ S T 2 8 では、プリフィックスの S C I D に対応して予め設定されている出力先に、パケットのトランスポートブロックを出力し、次のパケットの処理に移る。

#### 【 0 0 2 7 】

また、ステップ S T 2 3 でエラーがあるとき、ステップ S T 2 4 でヘッダの S C I D の登録がないとき、およびステップ S T 2 5 で連続でないときは、ステップ S T 2 9 で、パケットを全て廃棄し、次のパケットの処理に移る。

#### 【 0 0 2 8 】

ビットストリーム S T M が D V D ストリームであるとき、図 3 0 に示すようなデマルチプレクサ 2 0 0 では、図 3 3 のフローチャートに示すパック処理が行われる。

#### 【 0 0 2 9 】

すなわち、ステップ S T 3 1 で、D V D パックを入力し、ステップ S T 3 2 で、スタートコード「pack\_start\_code」を検出する。そして、ステップ S T 3 3 で、パックヘッダよりタイミング情報としての S C R を抜き取ってシステムクロック制御部 2 0 4 に供給し、その後にステップ S T 3 4 に進む。

#### 【 0 0 3 0 】

ステップ S T 3 4 では、最初のパックであるか否かを判定する。最初のパックであるときは、ステップ S T 3 5 で、システムヘッダを該当する出力先に出力し、その後にステップ S T 3 6 に進む。一方、最初のパックでないときは、直ちにステップ S T 3 6 に進む。

#### 【 0 0 3 1 】

ステップ S T 3 6 では、各 P E S パケットを、それぞれヘッダの Stream I D に対応して予め設定されている出力先に出力し、次のパックの処理に移る。

#### 【 0 0 3 2 】

## 【発明が解決しようとする課題】

上述したように、多重化方式が異なればストリーム構造、ヘッダの解析も異なるため、それぞれの多重化方式に応じた専用のデマルチプレクサ 2 0 0 が必要になる。したがって、専用回路を用いてそれぞれの多重化方式の全てに対応する場合には、ハードウェアの回路規模が大きくなり、コストアップにつながるという問題点があった。

## 【0 0 3 3】

そこで、この発明では、複数の多重化方式に対応でき、しかも回路規模の縮小とコストダウンを可能とするデマルチプレクサを提供することを目的とする。

## 【0 0 3 4】

## 【課題を解決するための手段】

この発明は、複数種類の packets が所定の多重化方式で多重されてなる入力デジタルデータより任意の packets を分離して出力するデマルチプレクサであって、入力デジタルデータを入力するデータ入力部と、このデータ入力部に入力された入力デジタルデータを格納して転送するシフトレジスタと、このシフトレジスタに格納された入力デジタルデータより packets のヘッダを抽出して格納するレジスタ群と、このレジスタ群に格納された packets のヘッダを解析する演算部と、レジスタ群に格納された packets のヘッダに含まれる packets 識別子に基づいて、当該 packets 識別子を持つ packets の出力先を決定する出力先決定部と、演算部の演算結果および出力先決定部の決定結果に従って、シフトレジスタより出力される入力デジタルデータより任意の packets を分離して上記決定された出力先に出力する分離部と、各部の各多重化方式毎の制御方法を決定するためのマイクロコードを格納する命令メモリと、この命令メモリに格納されたマイクロコードの実行アドレスを得るためのカウンタと、このカウンタで得られる実行アドレスで命令メモリより読み出されるマイクロコードに基づき、各装置の動作を制御するための制御部と、シフトレジスタに格納された入力デジタルデータよりタイミング情報を抽出し、当該タイミング情報に基づいてシステムクロックを制御するシステムクロック制御部とを備えるものである。

## 【0 0 3 5】

この発明において、マイクロコードを格納する命令メモリが備えられる。この命令メモリより順次読み出されるマイクロコードに基づいて各部の動作が制御され、入力デジタルデータより任意の packets が分離されて所定の出力先に出力される。これにより、命令メモリより読み出されるマイクロコードを変更することで複数の多重化方式に柔軟に対応でき、回路規模の縮小およびコストダウンが可能となる。

## 【 0 0 3 6 】

## 【発明の実施の形態】

以下、図面を参照しながら、この発明の実施の形態を説明する。

なお、以下では、説明の便宜上、特にことわりがない限り、DVB packets のヘッダ、DSS packets のプリフィックス、DVDパックのヘッダを「ヘッダ」と総称し、DVB packets の packets 識別子PID、DSS packets の packets 識別子SCID、DVDパック内のPES packets の packets 識別子StreamIDを「packets ID」と総称し、DVB packets に含まれるタイミング情報PCR、DSS packets に含まれるタイミング情報RTS、DVDパックに含まれるタイミング情報SCRを「タイミング情報」と総称し、DVB packets のペイロード、DSS packets のトランスポートブロック、DVDパックのPES packets を「ペイロード」と総称することとする。

## 【 0 0 3 7 】

図1は、第1の実施の形態としてのデマルチプレクサ100Aの構成を示している。このデマルチプレクサ100Aは、複数種類の packets が多重されてなる入力デジタルデータとしてのビットストリームより任意の packets を分離して出力するものである。そして、このデマルチプレクサ100Aは、例えばDVBストリーム、DSSストリーム、DVDストリーム等の複数の多重化方式に対応できるものである。

## 【 0 0 3 8 】

このデマルチプレクサ100Aは、ビットストリームSTMを入力するための入力端子101と、この入力端子101に入力されたビットストリームSTMを格納して転送するシフトレジスタ102と、このシフトレジスタ102に格納さ

れたビットストリームSTMよりヘッダを抽出して格納するレジスタ群103と、このレジスタ群103に格納されたヘッダを解析する演算部104と、レジスタ群103に格納されたヘッダに含まれるパケットIDに基づいて、当該パケットIDを持つパケットの出力先を決定する出力先決定部105とを有している。

#### 【0039】

また、デマルチプレクサ100Aは、演算部104の演算結果および出力先決定部105の決定結果に従って、シフトレジスタ102より出力されるビットストリームSTMより任意のペイロードを分離して、上記決定された出力先に出力する分離部106とを有している。例えば、分離部106には、出力端子107a, 107b, 107c, ... が出力先として設けられている。シフトレジスタ102、レジスタ群103、演算部104、出力先決定部105および分離部106は、それぞれバス108に接続されている。

#### 【0040】

また、デマルチプレクサ100Aは、各部の各多重化方式毎の制御方法を決定するためのマイクロコードを格納する命令メモリ111と、この命令メモリ111に格納されたマイクロコードの実行アドレスを得るためのカウンタ112と、このカウンタ112で得られる実行アドレスによって命令メモリ111より順次読み出されるマイクロコードに基づき、各部の動作を制御するための制御部113と、シフトレジスタ102に格納されたビットストリームSTMよりタイミング情報を抽出し、当該タイミング情報に基づいてシステムクロックを制御するシステムクロック制御部114とを有している。

#### 【0041】

図1に示すデマルチプレクサ100Aの動作を説明する。このデマルチプレクサ100Aでは、命令メモリ111より、ビットストリームSTMの多重化方式に対応したマイクロコードを順に読み出し、そのマイクロコードに基づいて制御部113で各部の動作を制御することで、分離部106でビットストリームSTMより任意のパケットが分離されて所定の出力先に出力される。

#### 【0042】

ここで、ビットストリームSTMがDVBストリームである場合の動作につい

て説明する。

【 0 0 4 3 】

入力端子 1 0 1 に入力されたビットストリーム S T M は、命令メモリ 1 1 1 より読み出されたマイクロコードに基づいて制御部 1 1 3 で発生される制御信号によって、シフトレジスタ 1 0 2 に格納され、シフトされる。このシフトレジスタ 1 0 2 に格納されたビットストリーム S T M に含まれるパケットのヘッダは、必要に応じてレジスタ群 1 0 3 に取り込まれる。また、レジスタ群 1 0 3 に取り込まれたパケットのヘッダは、制御部 1 1 3 で発生される制御信号によって、演算部 1 0 4 で解析される。このとき、パケットの各種のエラー判定や連続性の検出等が行われる。

【 0 0 4 4 】

また、制御部 1 1 3 で発生される制御信号により、出力先決定部 1 0 5 で、レジスタ群 1 0 3 に取り込まれたパケットのヘッダの P I D と内蔵メモリに予め登録されている P I D とが比較され、当該パケットの出力先が決定される。そして、演算部 1 0 4 におけるエラー判定や連続性の検出等の結果と、出力先決定部 1 0 5 における決定結果に基づいて、分離部 1 0 6 で、有効なパケットのペイロードが分離され、決定された出力先に出力される。

【 0 0 4 5 】

また、シフトレジスタ 1 0 2 に格納されたビットストリーム S T M に含まれるタイミング情報としての P C R は、システムクロック制御部 1 1 4 に供給され、システムクロックの制御が行われる。

【 0 0 4 6 】

このように、デマルチプレクサ 1 0 0 A は、ビットストリーム S T M が D V B ストリームであるときは、図 3 1 のフローチャートに示す処理と同様の処理をすることとなる。

【 0 0 4 7 】

次に、ビットストリーム S T M が D S S ストリームである場合の動作について説明する。

入力端子 1 0 1 に入力されたビットストリーム S T M は、命令メモリ 1 1 1 よ



り読み出されたマイクロコードに基づいて制御部113で発生される制御信号によって、シフトレジスタ102に格納され、シフトされる。このシフトレジスタ102に格納されたビットストリームSTMに含まれるパケットのプリフィックス等（DVBパケットのヘッダに対応）は、必要に応じてレジスタ群103に取り込まれる。また、レジスタ群103に取り込まれたプリフィックス等は、制御部113で発生される制御信号によって、演算部104で解析される。このとき、パケットの各種のエラー判定や連続性の検出等が行われる。

#### 【0048】

また、制御部113で発生される制御信号により、出力先決定部105で、レジスタ群103に取り込まれたパケットのプリフィックスのSCIDと内蔵メモリに予め登録されているSCIDとが比較され、当該パケットの出力先が決定される。そして、演算部104におけるエラー判定や連続性の検出等の結果と、出力先決定部105における決定結果に基づいて、分離部106で、有効なパケットのトランスポートブロックが分離され、決定された出力先に出力される。

#### 【0049】

また、シフトレジスタ102に格納されたビットストリームSTMに含まれるタイミング情報としてのRTSは、システムクロック制御部114に供給され、システムクロックの制御が行われる。

#### 【0050】

このように、デマルチプレクサ100Aは、ビットストリームSTMがDSSストリームであるときは、図32のフローチャートに示す処理と同様の処理を行うこととなる。

#### 【0051】

次に、ビットストリームSTMがDVDストリームである場合の動作について説明する。

入力端子101に入力されたビットストリームSTMは、命令メモリ111より読み出されたマイクロコードに基づいて制御部113で発生される制御信号によって、シフトレジスタ102に格納され、シフトされる。このシフトレジスタ102に格納されたビットストリームSTMに含まれるパケットのヘッダ、PES

パケットのヘッダ等（DVBパケットのヘッダに対応）は、必要に応じてレジスタ群103に取り込まれる。また、レジスタ群103に取り込まれたヘッダは、制御部113で発生される制御信号によって、演算部104で解析される。このとき、パケットの各種のエラー判定等が行われる。

#### 【0052】

また、制御部113で発生される制御信号により、出力先決定部105で、レジスタ群103に取り込まれたPESパケットのStreamIDと内蔵メモリに予め登録されているStreamIDとが比較され、当該パケットの出力先が決定される。そして、演算部104におけるエラー判定等の結果と、出力先決定部105における決定結果に基づいて、分離部106で、有効なPESパケットが分離され、決定された出力先に出力される。

#### 【0053】

また、シフトレジスタ102に格納されたビットストリームSTMのバックヘッダに含まれるタイミング情報としてのSCRは、システムクロック制御部114に供給され、システムクロックの制御が行われる。

#### 【0054】

このように、デマルチプレクサ100Aは、ビットストリームSTMがDVDストリームであるときは、図33のフローチャートに示す処理と同様の処理をすることとなる。

#### 【0055】

以上説明したように、図1に示すデマルチプレクサ100Aは、マイクロコードを格納する命令メモリ111を備えており、この命令メモリ111より順次読み出されるマイクロコードに基づいて各部の動作が制御され、入力端子101に入力されたビットストリームSTMより任意のパケットを分離して所定の出力先に出力できる。したがって、命令メモリ111より読み出されるマイクロコードを変更することで複数の多重化方式に柔軟に対応でき、回路規模の縮小およびコストダウンを図ることができる。

#### 【0056】

図2は、第2の実施の形態としてのデマルチプレクサ100Bの構成を示して

いる。このデマルチプレクサ 1 0 0 B は、出力先決定部 1 0 5 を連想メモリ (C A M : Contents Addressable Memory) で構成したものである。その他は、図 1 に示すデマルチプレクサ 1 0 0 A と同様に構成される。

## 【 0 0 5 7 】

図 3 は、出力先決定部 1 0 5 としての連想メモリの構成例を示している。この場合、ヘッダの packets ID を用いて連想メモリを検索し、出力先と連続性検出のための前回の連続性指標を取り出すことができる。

## 【 0 0 5 8 】

図 4 は、第 3 の実施の形態としてのデマルチプレクサ 1 0 0 C の構成を示している。このデマルチプレクサ 1 0 0 C は、出力先決定部 1 0 5 の内蔵メモリに対して外部 C P U よりホストインタフェース 1 1 5 を介して書き込みを可能にしたものである。その他は、図 1 に示すデマルチプレクサ 1 0 0 A と同様に構成される。

## 【 0 0 5 9 】

この場合、ビットストリーム S T M を構成するパケットの詳細情報を外部 C P U に送り、この外部 C P U で解析した後に、この外部 C P U で出力先決定部 1 0 5 の内蔵メモリの内容を書き換えることが可能となる。

## 【 0 0 6 0 】

図 5 は、第 4 の実施の形態としてのデマルチプレクサ 1 0 0 D の構成を示している。このデマルチプレクサ 1 0 0 D は、各パケットの長さを管理するカウンタを構成するレジスタ 1 1 6 を備えるものである。その他は、図 1 に示すデマルチプレクサ 1 0 0 A と同様に構成される。

## 【 0 0 6 1 】

ここで、D V B , D S S の 1 つのパケットは、それぞれ 1 8 8 , 1 3 0 バイトと長さが決まっている。したがって、パケットの長さからそれぞれのヘッダの長さを差し引いた値をレジスタ 1 1 6 にセットすることで、その長さ分だけペイロード、トランスポートブロックを出力できる。一方、D V D パケットに関しては、P E S パケットの長さはパケット内に指定されているため、その長さをレジスタ 1 1 6 にセットすることで、その長さ分だけ P E S パケットを出力できる。

## 【 0 0 6 2 】

図 6 は、第 5 の実施の形態としてのデマルチプレクサ 1 0 0 E の構成を示している。このデマルチプレクサ 1 0 0 E は、演算部 1 0 4 を、演算論理ユニット（ALU: Arithmetic and Logical Unit）で構成するものである。その他は、図 1 に示すデマルチプレクサ 1 0 0 A と同様に構成される。各種エラーおよび連続性の検出には、加算、減算、論理和、論理積などの命令が必要であり、演算論理ユニットによりエラーおよび連続性の検出をする。

## 【 0 0 6 3 】

図 7 は、第 6 の実施の形態としてのデマルチプレクサ 1 0 0 F の構成を示している。このデマルチプレクサ 1 0 0 F は、パケットの連続性を検出する連続性検出部 1 1 7 を備えるものである。その他は、図 6 に示すデマルチプレクサ 1 0 0 E と同様に構成される。この連続性検出部 1 1 7 では、連続性の検出において、連続、不連続、等しいの判断を同時に行うことができる。

## 【 0 0 6 4 】

図 8 は、第 7 の実施の形態としてのデマルチプレクサ 1 0 0 G の構成を示している。このデマルチプレクサ 1 0 0 G は、ビット操作を行うビット操作専用部 1 1 8 を備えるものである。その他は、図 6 に示すデマルチプレクサ 1 0 0 E と同様に構成される。

## 【 0 0 6 5 】

ヘッダ解析では、ヘッダのある一部分を取り出してエラーチェックを行うことが多い。ビット操作専用部 1 1 8 は、データの一部を取り出すための処理をする。図 9 に示すように、レジスタ A に格納されている 8 ビットのデータから上位の 6 ～ 4 ビット（最下位ビットを 0 とする）を取り出したい場合、「01110000」でマスクすればよい。また、ビットを合わせるときには、シフトを行えばよい。ビット操作専用部 1 1 8 では、これらの処理を 1 サイクルで行うことができる。

## 【 0 0 6 6 】

図 1 0 は、第 8 の実施の形態としてのデマルチプレクサ 1 0 0 H の構成を示している。このデマルチプレクサ 1 0 0 H は、演算部 1 0 4 を演算論理ユニット（ALU）で構成すると共に、パケットの連続性を検出する連続性検出部 1 1 7

およびビット操作を行うビット操作専用部 1 1 8 を備えるものである。その他は、図 1 に示すデマルチプレクサ 1 0 0 A と同様に構成される。

【 0 0 6 7 】

図 1 1 は、第 9 の実施の形態としてのデマルチプレクサ 1 0 0 J の構成を示している。このデマルチプレクサ 1 0 0 J は、入力端子 1 0 1 とシフトレジスタ 1 0 2 との間に、入力端子 1 0 1 に入力されるビットストリーム S T M を一時的に保持する入力バッファ 1 1 9 が設けられたものである。その他は、図 1 に示すデマルチプレクサ 1 0 0 A と同様に構成される。

【 0 0 6 8 】

この入力バッファ 1 1 9 においては、入力端子 1 0 1 に入力されるビットストリーム S T M の転送レートに同期した外部クロック信号で書き込みが行われ、内部クロック信号で読み出しが行われるようになされる。これにより、外部クロック信号と内部クロック信号との間の同期をとることができる。

【 0 0 6 9 】

なお、例えばディジタル衛星放送に係る D V B パケットや D S S パケットは基本的には空の状態から受信するものである。したがって、新しいデータを受信する前にシフトレジスタ 1 0 2 のシフトを行ってしまうと、図 1 2 に示すように、正しくないデータ（ハッチング部分）が伝搬するということが発生する。そこで、入力バッファ 1 1 9 にビットストリーム S T M が入力されるとき、この入力バッファ 1 1 9 よりデータの読み出しが行われ、それに伴ってシフトレジスタ 1 0 2 のシフトが行われる。これにより、シフトレジスタ 1 0 2 を正しくないデータが伝搬するということを防止できる。

【 0 0 7 0 】

図 1 3 は、第 1 0 の実施の形態としてのデマルチプレクサ 1 0 0 K の構成を示している。このデマルチプレクサ 1 0 0 K は、図 1 に示すデマルチプレクサ 1 0 0 A における分離部 1 0 6 の代わりに、エンディアン変更機能を持つ分離部 1 0 6 A が設けられたものである。その他は、図 1 に示すデマルチプレクサ 1 0 0 A と同様に構成される。

【 0 0 7 1 】

ワード中のバイトの付番方式には2通りがある。図14に示すように、1つには左から右に番号を増やしていくビック・エンディアン (Big Endian) 方式、もう1つは右から左に番号を増やしていくリトル・エンディアン (Little Endian) 方式である。したがって、ビデオやオーディオ等のストリームをデコードするデコーダの付番方式によりエンディアンの変更を行わなくてはならない。分離部106Aでは、デコーダの付番方式に応じてエンディアンの変更を行って出力できる。

#### 【0072】

図15は、第11の実施の形態としてのデマルチプレクサ100Lの構成を示している。上述の各実施の形態においては、分離部106で分離された任意のペイロードは、出力先決定部105で決定された出力先としての出力端子107a, 107b, 107c, ... に出力されるものを示した。この場合、これらの出力端子に出力されるビデオやオーディオ等のストリームは、例えば専用のデコーダに供給されてデコードされることとなる。

#### 【0073】

図15に示すデマルチプレクサ100Lでは、複数個の出力用バッファメモリとしてFIFOメモリ120a, 120b, 120c, ... が設けられる。そして、シフトレジスタ102より出力されるビットストリームSTMより、分離部106Bによって任意のペイロードが分離され、この分離されたペイロードが、出力先決定部105で決定された出力先に対応したFIFOメモリに書き込まれる。そして、これらのFIFOメモリに取り込まれたビデオやオーディオ等のストリームは、単一の装置としてのメディアプロセッサ122でデコードされる。

#### 【0074】

この場合、分離部106Bより出力先に対応したポートアドレスが出力されてアドレスデコーダ121に供給され、このアドレスデコーダ121より書き込むべきFIFOメモリに対してイネーブル信号が出力される。これにより、出力先決定部105で決定された出力先に対応したFIFOメモリに、分離部106Bで分離されて出力されるペイロードが取り込まれる。

## 【 0 0 7 5 】

図 1 6 は、第 1 2 の実施の形態としてのデマルチプレクサ 1 0 0 M の構成を示している。図 1 5 に示すデマルチプレクサ 1 0 0 L では、複数個の出力用バッファメモリを設けたものであるが、デマルチプレクサ 1 0 0 M では、半導体メモリ、ハードディスク等で構成される単一の出力用バッファメモリ 1 2 3 が設けられる。この出力用バッファメモリ 1 2 3 には、複数個の記憶領域 1 2 3 a, 1 2 3 b, 1 2 3 c, . . . が設定される。そして、シフトレジスタ 1 0 2 より出力されるビットストリーム S T M より、分離部 1 0 6 C によって任意のペイロードが分離され、この分離されたペイロードが、出力先決定部 1 0 5 で決定された出力先に対応した記憶領域に書き込まれる。そして、この出力用バッファメモリ 1 2 3 に取り込まれたビデオやオーディオ等のストリームは、単一の装置としてのメディアプロセッサ 1 2 2 でデコードされる。

## 【 0 0 7 6 】

この場合、分離部 1 0 6 C より、バッファメモリ 1 2 3 に、分離されたペイロードの他に、出力先に対応したメモリアドレスが供給される。これにより、出力先決定部 1 0 5 で決定された出力先に対応した記憶領域に、分離部 1 0 6 C で分離されて出力されるペイロードが取り込まれる。

## 【 0 0 7 7 】

図 1 7 は、第 1 3 の実施の形態としてのデマルチプレクサ 1 0 0 N の構成を示している。このデマルチプレクサ 1 0 0 N は、命令メモリ 1 1 1 に対して、外部 C P U よりホストインタフェース 1 1 5 を介して、マイクロコードの書き込みを可能にしたものである。その他は、図 1 に示すデマルチプレクサ 1 0 0 A と同様に構成される。

## 【 0 0 7 8 】

命令メモリ 1 1 1 に全ての多重化方式に対応したマイクロコードを書き込んでおくこともできるが、メモリ容量の増大を招き、コストアップにつながると共に、書き換えが不可能となるために柔軟性に欠けるものとなる。デマルチプレクサ 1 0 0 N においては、多重化方式が変わる毎に、外部 C P U より命令メモリ 1 1 1 に、対応するマイクロコードがダウンロードされる。例えば、ユーザが D V D

からDVBに切り換えると、外部CPUからDVBに対応したマイクロコードがホストインタフェース115を介して命令メモリ111にダウンロードされる。

【0079】

図18は、第14の実施の形態としてのデマルチプレクサ100Pの構成を示している。

【0080】

このデマルチプレクサ100Pは、図2に示すデマルチプレクサ100Bと同様に、出力先決定部105が連想メモリ（CAM：Contents Addressable Memory）で構成される。これにより、例えば、ヘッダの packets ID を用いて連想メモリを検索し、出力先と連続性検出のための前回の連続性指標を取り出すことができる。

【0081】

また、デマルチプレクサ100Pは、図4に示すデマルチプレクサ100Cと同様に、出力先決定部105の内蔵メモリに対して外部CPUよりホストインタフェース115を介して書き込みが可能とされる。これにより、ビットストリームSTMを構成するパケットの詳細情報を外部CPUに送り、この外部CPUで解析した後に、この外部CPUで出力先決定部105の内蔵メモリの内容を書き換えることが可能となる。

【0082】

また、デマルチプレクサ100Pは、図5に示すデマルチプレクサ100Dと同様に、各パケットの長さを管理するカウンタを構成するレジスタ116を備えていると共に、図7に示すデマルチプレクサ100Fと同様に、パケットの連続性を検出する連続性検出部117を備えており、さらに図6に示すデマルチプレクサ100Eと同様に、演算部104が演算論理ユニット（ALU）で構成されている。

【0083】

また、デマルチプレクサ100Pは、図8に示すデマルチプレクサ100Gと同様に、ビット操作を行うビット操作専用部118を備えている。これにより、例えばヘッダのある一部分を取り出して演算部104でエラーチェックを行う際



に、その一部分を容易に取り出すことができる。

【 0 0 8 4 】

また、デマルチプレクサ 1 0 0 P は、図 1 1 に示すデマルチプレクサ 1 0 0 J と同様に、入力端子 1 0 1 とシフトレジスタ 1 0 2 との間に、入力端子 1 0 1 に入力されるビットストリーム S T M を一時的に保持する入力バッファ 1 1 9 が設けられている。入力バッファ 1 1 9 は、入力端子 1 0 1 に入力されるビットストリーム S T M の転送レートに同期した外部クロック信号で書き込みが行われ、内部クロック信号で読み出しが行われるようになされる。また、入力バッファ 1 1 9 にビットストリーム S T M が入力されるとき、この入力バッファ 1 1 9 よりデータの読み出しが行われ、それに伴ってシフトレジスタ 1 0 2 のシフトが行われ、シフトレジスタ 1 0 2 を正しくないデータが伝搬するということが防止される。

【 0 0 8 5 】

また、デマルチプレクサ 1 0 0 P は、図 1 3 に示すデマルチプレクサ 1 0 0 K と同様に、エンディアン変更機能を持つ分離部 1 0 6 D が設けられている。この分離部 1 0 6 D では、ビデオやオーディオ等のストリームをデコードするデコーダの付番方式に応じてエンディアンの変更を行って出力できる。

【 0 0 8 6 】

また、デマルチプレクサ 1 0 0 P は、図 1 5 に示すデマルチプレクサ 1 0 0 L と同様に、複数の出力用バッファメモリとして F I F O メモリ 1 2 0 a , 1 2 0 b , 1 2 0 c , . . . が設けられる。そして、シフトレジスタ 1 0 2 より出力されるビットストリーム S T M より、分離部 1 0 6 D によって任意のペイロードが分離され、この分離されたペイロードが出力先決定部 1 0 5 で決定された出力先に対応した F I F O メモリに書き込まれる。そして、これらの F I F O メモリに取り込まれたビデオやオーディオ等のストリームは、単一の装置としてのメディアプロセッサ 1 2 2 でデコードされる。

【 0 0 8 7 】

また、デマルチプレクサ 1 0 0 P は、図 1 7 に示すデマルチプレクサ 1 0 0 N と同様に、命令メモリ 1 1 1 に対して、外部 C P U よりホストインタフェース 1

15を介して、マイクロコードの書き込みが可能とされる。これにより、多重化方式が変わる毎に、外部CPUより命令メモリ111に、対応するマイクロコードをダウンロードでき、命令メモリ111のメモリ容量の増大によるコストアップを防止でき、また種々の多重化方式に対しても柔軟に対処できる。

#### 【0088】

なお、上述せずも、上述各実施の形態においては、命令メモリ111より読み出される一つのマイクロコードにより、一または複数の部分を同時に動作させるための制御信号（命令）が生成される。すなわち、逐次的な命令ではなく、命令の並列化が行われている。

#### 【0089】

例えば、図17に示すデマルチプレクサ100Nにおいて、逐次的命令でDVBパケットの処理を実行した場合の流れは以下になる。

#### 【0090】

- (1) 受信されたデータをシフトレジスタに取り込む（シフト命令）
- (2) 受信されたデータは'47'である（比較命令）
- (3) (2)の結果、Yes→(4)へ、No→(1)へ（分岐命令）
- (4) 新しいデータを取り込む（シフト命令）
- (5) transport\_error\_indicatorのチェック（比較命令）
- (6) (5)の結果、エラーあり→廃棄(discard)、エラーなし→(7)へ（分岐命令）
- (7) payload\_unit\_start\_indicatorを取り出す（ロード命令）
- (8) 新しいデータを取り込む（シフト命令）
- (9) PIDを取り出す（ロード命令）
- (10) PIDを比較する（PID比較命令）
- (11) 残りのパケット長をカウンタにセットする（ロード命令）
- (12) (10)の結果、登録あり→(13)へ、登録なし→廃棄(discard)（分岐命令）
- (13) 新しいデータを取り込む（シフト命令）
- (14) パケット長を1減らす（減算命令）

- (15) transport\_scrambling\_controlのチェック (比較命令)
- (16) (15) の結果、scrambleあり→廃棄 (discard)、scrambleなし→ (17) へ (分岐命令)
- (17) adaptation\_field\_controlを取り出す (ロード命令)
- (18) (17) の結果、00→廃棄 (discard)、00以外→(19) へ (分岐命令)
- (19) continuity\_counterを取り出す (ロード命令)
- (20) 前回のcontinuity\_counterと比較する (連続性照合命令)
- (21) (20) の結果、不連続→廃棄 (discard)、連続→ (22) へ (分岐命令)
- (22) それ以降の処理 . . .

【 0 0 9 1 】

これに対して、図 1 7 に示すデマルチプレクサ 1 0 0 Nにおいて、命令を並列化して D V B パケットの処理を実行した場合の流れは以下になる。

- (1) 受信されたデータをシフトレジスタに取り込む (シフト命令)
- (2) 新しいデータを取り込みながら、先ほど取り込んだデータが' 4 7 ' かどうか比較する。Yes→ (3) へ、No→ (2) へ (シフト命令、比較分岐命令)
- (3) transport\_error\_indicatorをチェックする。エラーあり→廃棄 (discard)、エラーなし→ (4) へ (比較分岐命令)
- (4) 新しいデータを取り込みながら、payload\_unit\_start\_indicatorを取り出す (シフト命令、ロード命令)
- (5) P I D を取り出す (ロード命令)
- (6) P I D を比較しながら残りのパケット長をカウンタにセットする (P I D 比較命令、ロード命令)
- (7) 新しいデータを取り込み、パケット長を 1 減らす。また、(6) の結果、登録あり→ (8) へ、登録なし→廃棄 (discard) (シフト命令、減算命令、分岐命令)
- (8) transport\_scrambling\_controlをチェックし、scrambleあり→廃棄 (discard)、scrambleなし→ (9) へ (分岐命令)
- (9) adaptation\_field\_controlを取り出す (ロード命令)

- (10) (9) の結果、00→廃棄 (discard)、00以外→(11) へ (分岐命令)
- (11) continuity\_counterを取り出す (ロード命令)
- (12) 前回のcontinuity\_counterと比較する (連続性照合命令)
- (13) 新しいデータを取り込み、パケット長を1減らす、また、(12) の結果、不連続→廃棄 (discard)、連続→(14) へ (シフト命令、減算命令、分岐命令)
- (14) それ以降の処理 . . .

#### 【 0 0 9 2 】

このように、命令の並列化により、処理ステップが大幅に少なくなる。これは、高速にデマルチプレクスの処理を行えるだけでなく、命令メモリ111に格納されるマイクロコードの行数の削減にもなるため、命令メモリ111の容量削減にもつながり、ハードウェアコストを抑えることができる。

#### 【 0 0 9 3 】

##### 【発明の効果】

この発明によれば、マイクロコードを格納する命令メモリを備え、この命令メモリより順次読み出されるマイクロコードに基づいて各部の動作を制御する構成とするものであり、命令メモリより読み出されるマイクロコードを変更することで複数の多重化方式に柔軟に対応でき、回路規模の縮小およびコストダウンを図ることができる。

##### 【図面の簡単な説明】

##### 【図1】

第1の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

##### 【図2】

第2の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

##### 【図3】

連想メモリの構成例を示す図である。

##### 【図4】

第3の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

##### 【図5】

第 4 の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

【図 6】

第 5 の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

【図 7】

第 6 の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

【図 8】

第 7 の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

【図 9】

ビット操作専用部の処理例を示す図である。

【図 1 0】

第 8 の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

【図 1 1】

第 9 の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

【図 1 2】

シフトレジスタのシフト例を示す図である。

【図 1 3】

第 1 0 の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

【図 1 4】

バイトの付番方式の説明のための図である。

【図 1 5】

第 1 1 の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

【図 1 6】

第 1 2 の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

【図 1 7】

第 1 3 の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

【図 18】

第 14 の実施の形態としてのデマルチプレクサの構成を示すブロック図である。

【図 19】

DVB パケットの構造を示す図である。

【図 20】

DVB パケットのヘッダの主な項目を示す図である。

【図 21】

アダプテーションフィールドの主な項目を示す図である。

【図 22】

DSS パケットの構造を示す図である。

【図 23】

DSS パケットのプリフィックスの主な項目を示す図である。

【図 24】

DSS パケットのプリフィックスに続く 1 バイトの CC, HD フィールドの構成を示す図である。

【図 25】

Auxiliary Data パケットの場合における、CC, HD フィールドに続く 2 バイトの構成を示す図である。

【図 26】

DVD パックの構造を示す図である。

【図 27】

PES ヘッダの主な項目を示す図である。

【図 28】

DVD パックヘッダの主な項目を示す図である。

【図 29】

システムヘッダの主な項目を示す図である。

【図 30】

従来のデマルチプレクサの構成を示すブロック図である。

【図31】

DVBのパケット処理を示すフローチャートである。

【図32】

DSSのパケット処理を示すフローチャートである。

【図33】

DVDのパック処理を示すフローチャートである。

【符号の説明】

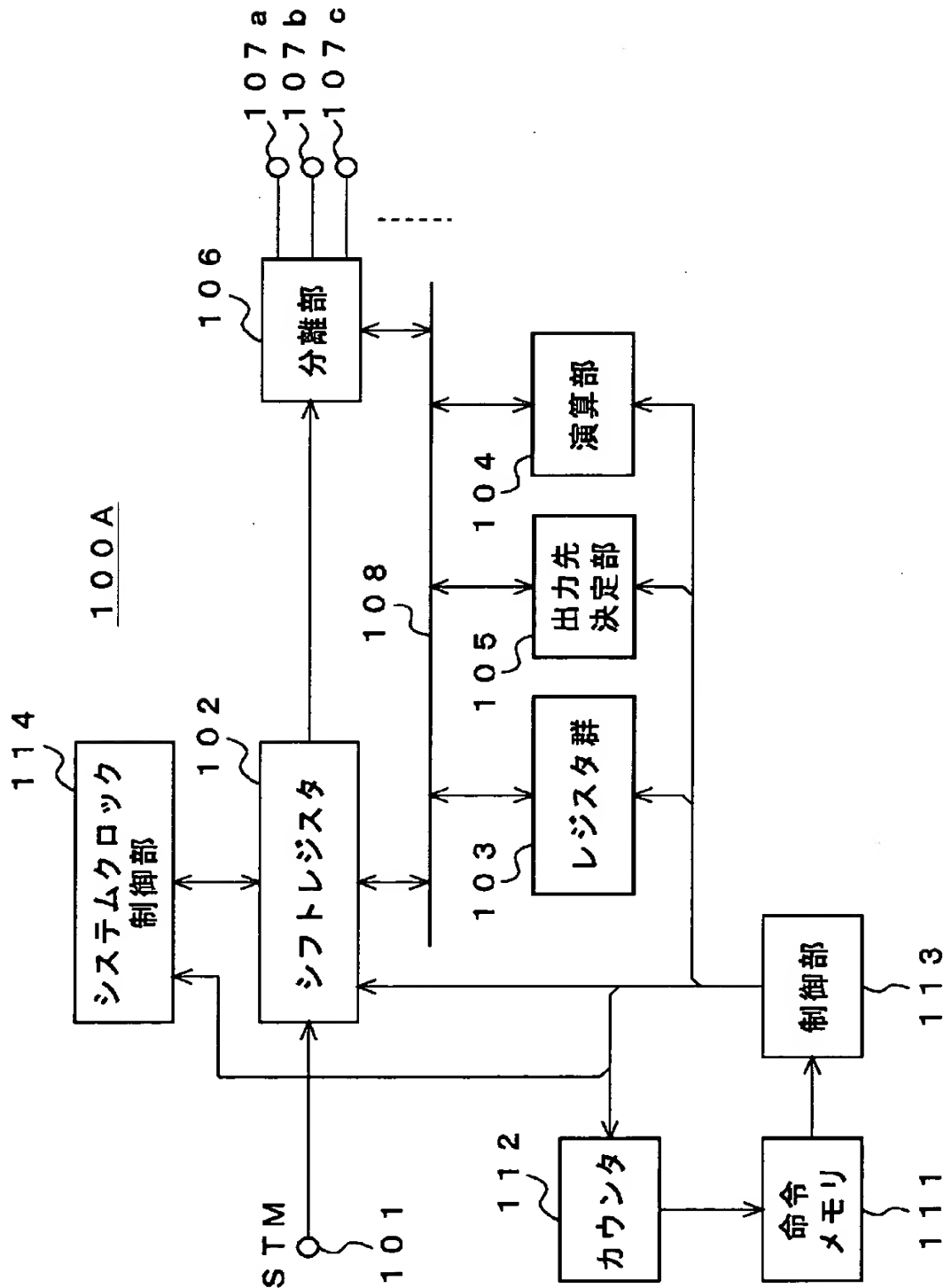
100A~100H, 100J~100N, 100P・・・デマルチプレクサ、101・・・入力端子、102・・・シフトレジスタ、103・・・レジスタ群、104・・・演算部、105・・・出力先決定部、106, 106A~106D・・・分離部、107a~107c・・・出力端子、108・・・バス、111・・・命令メモリ、112・・・カウンタ、113・・・制御部、114・・・システムクロック制御部、115・・・ホストインタフェース、116・・・レジスタ、117・・・連続性検出部、118・・・ビット操作専用部、119・・・入力バッファ、120a~120c・・・FIFOメモリ、121・・・アドレスデコーダ、122・・・メディアプロセッサ、123・・・出力用バッファメモリ

【書類名】

図面

【図1】

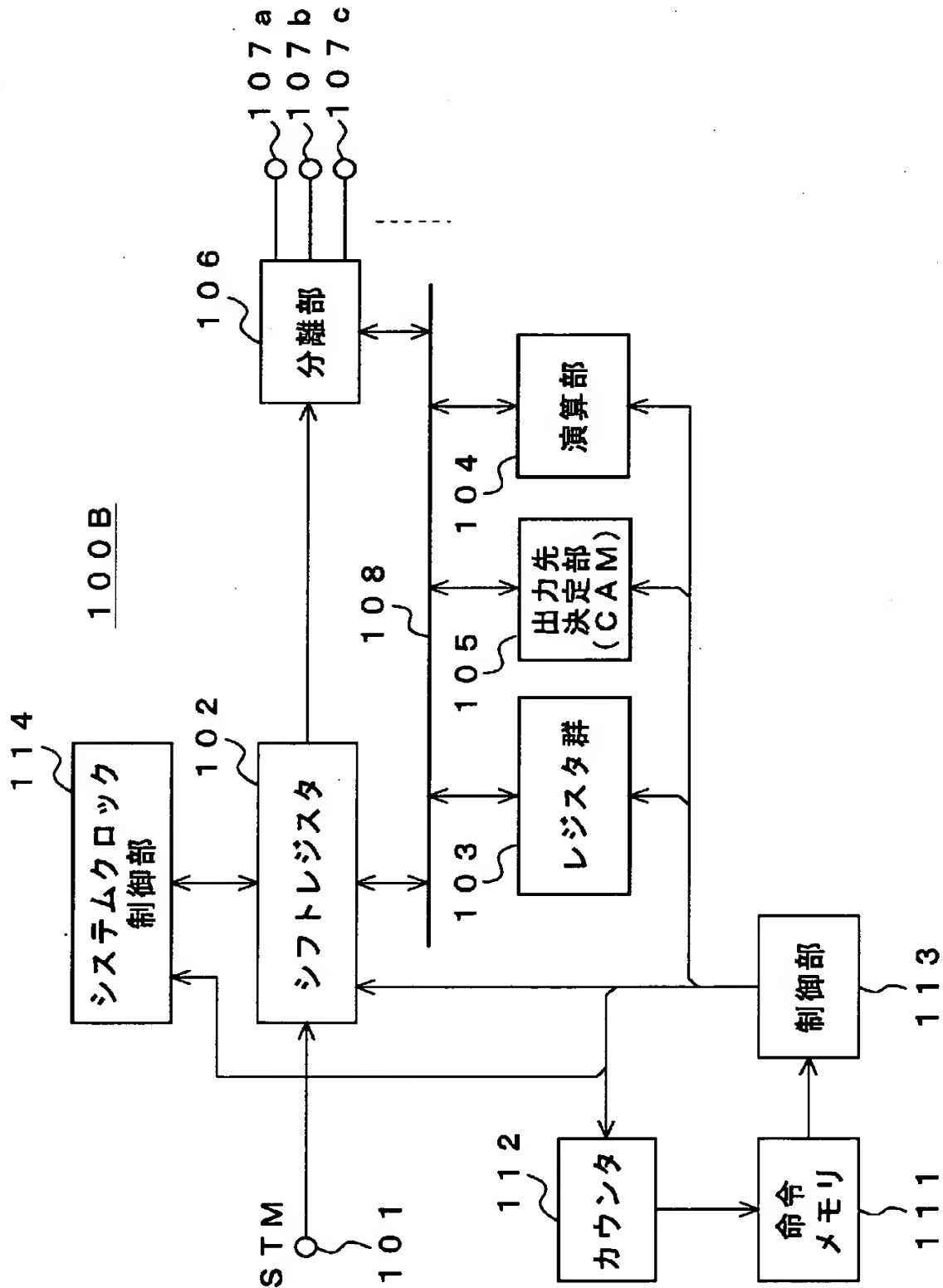
# デマルチプレクサ（第1の実施の形態）





【図2】

デマルチプレクサ（第2の実施の形態）



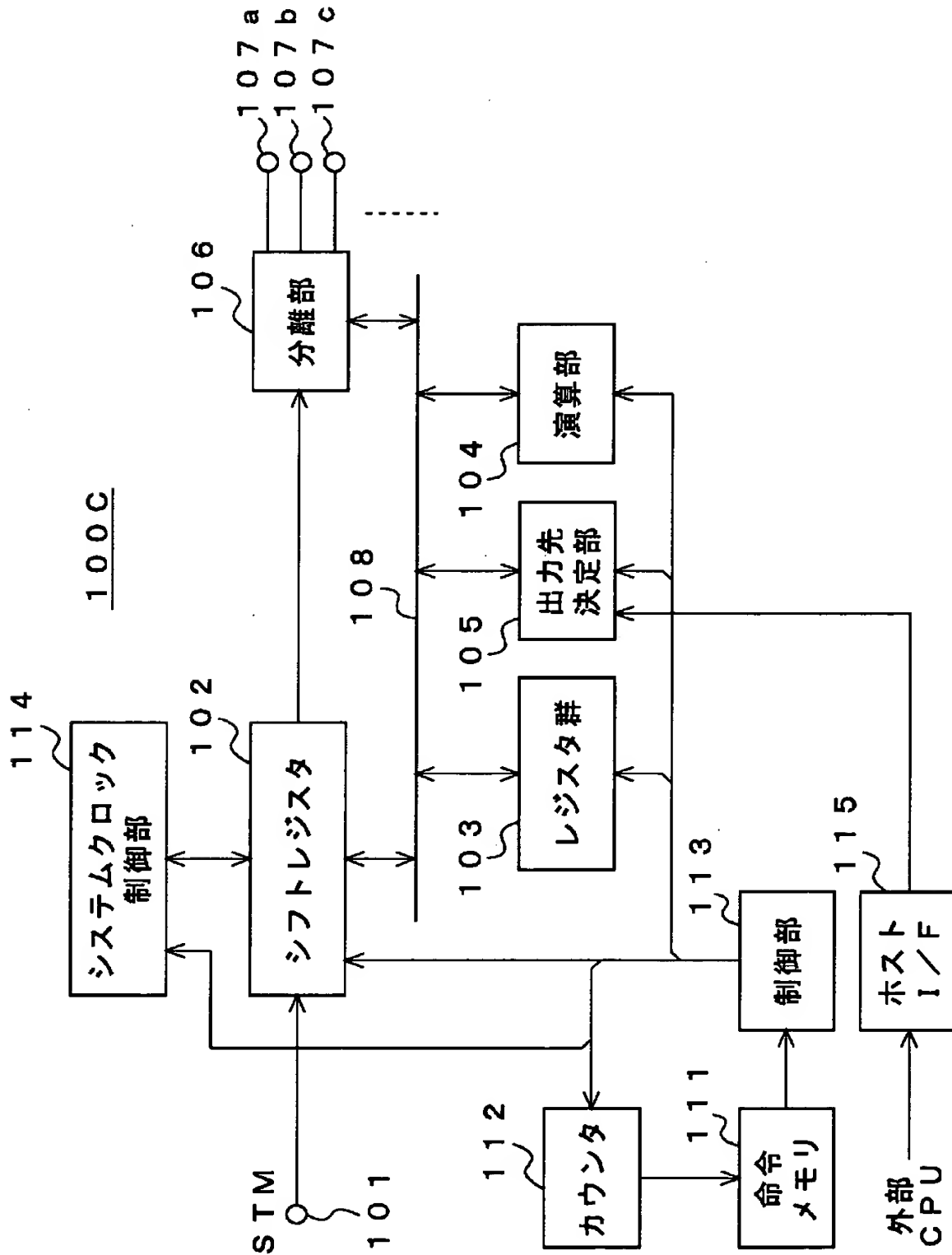
【図 3】

## 連想メモリの構成例

パケット I D 0	連続性指標 0	出力先 0
パケット I D 1	連続性指標 1	出力先 1
パケット I D 2	連続性指標 2	出力先 2
パケット I D 3	連続性指標 3	出力先 3
⋮	⋮	⋮

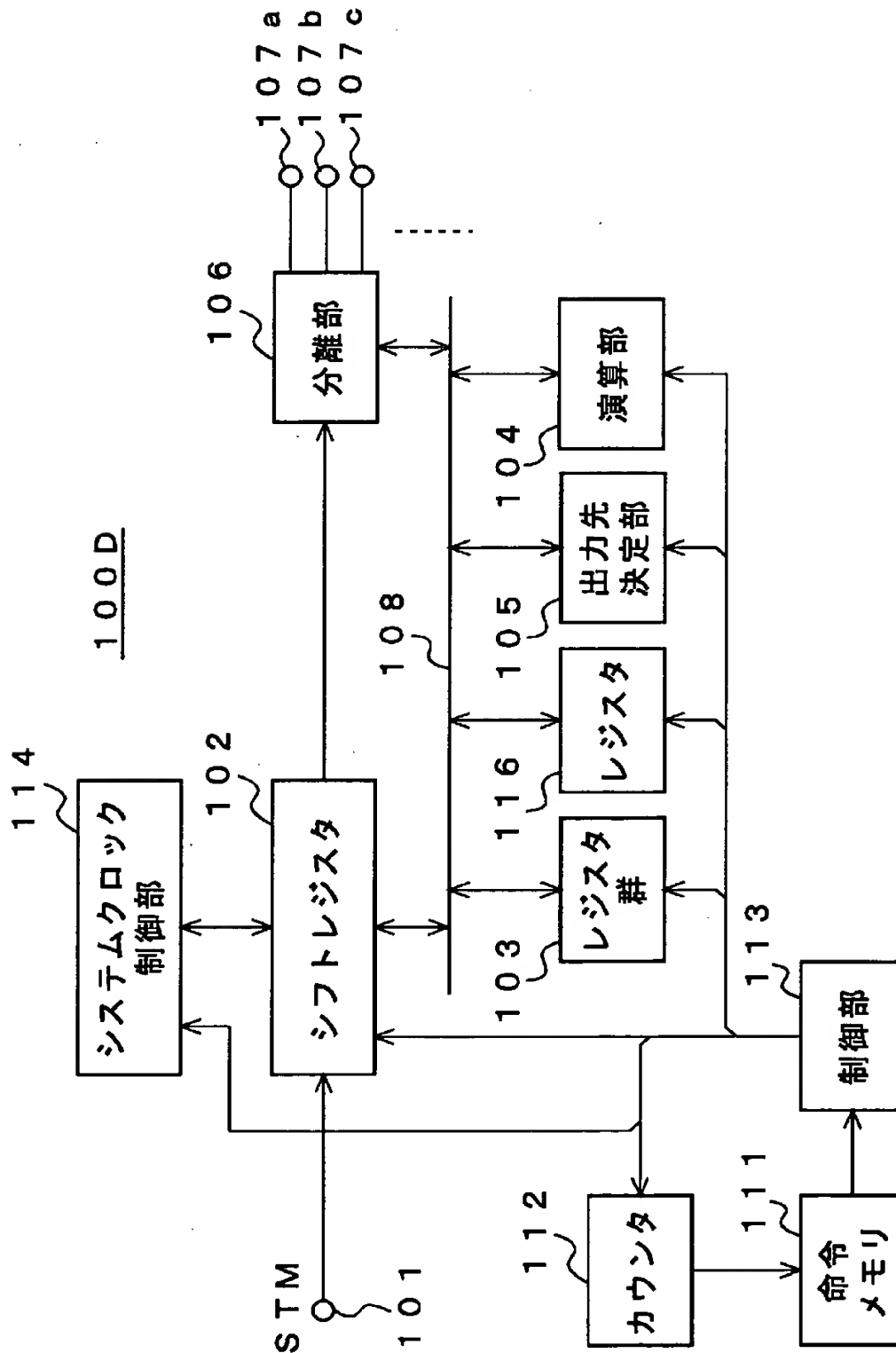
【図4】

デマルチプレクサ（第3の実施の形態）



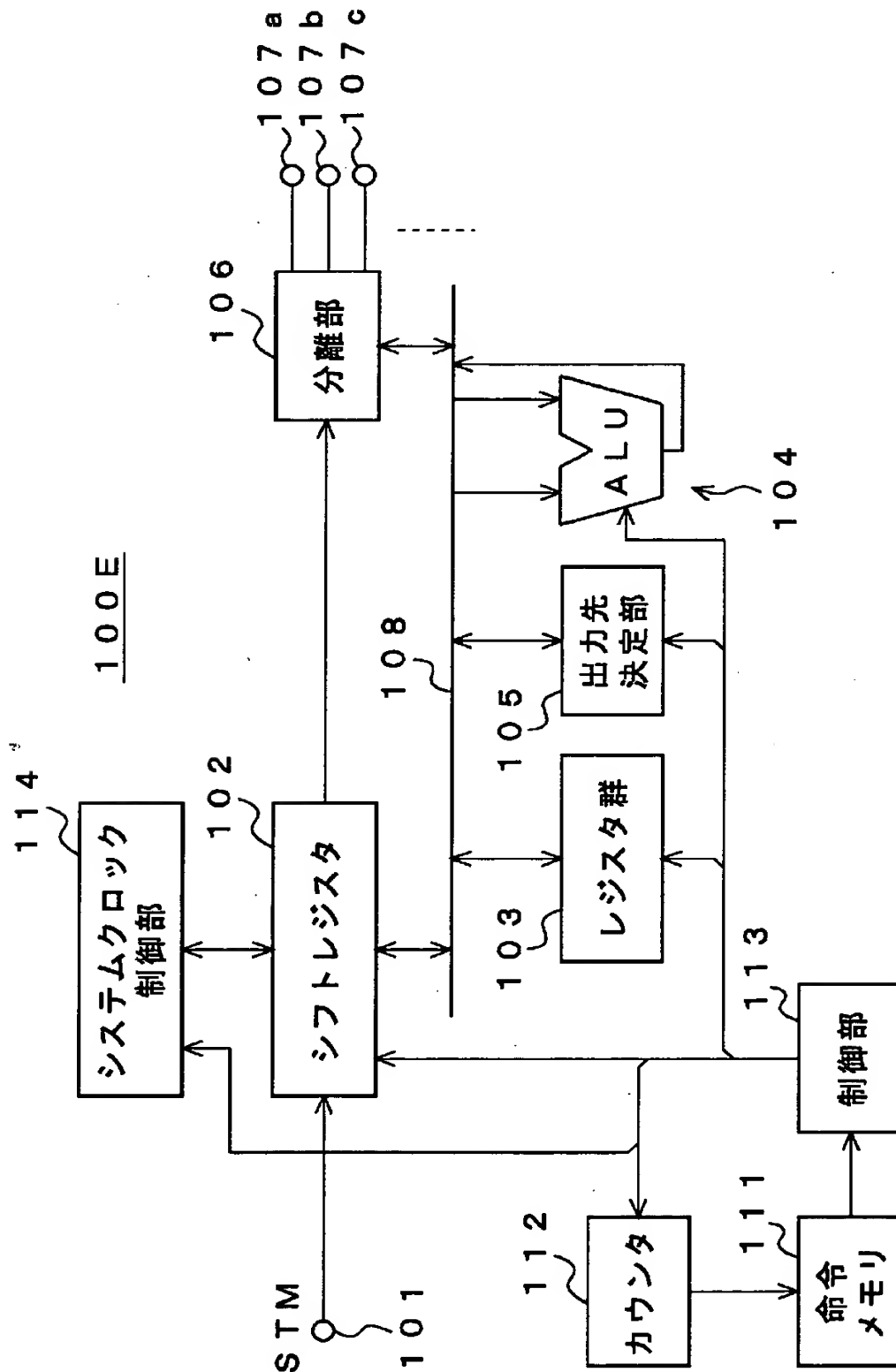
【図 5】

デマルチプレクサ（第 4 の実施の形態）



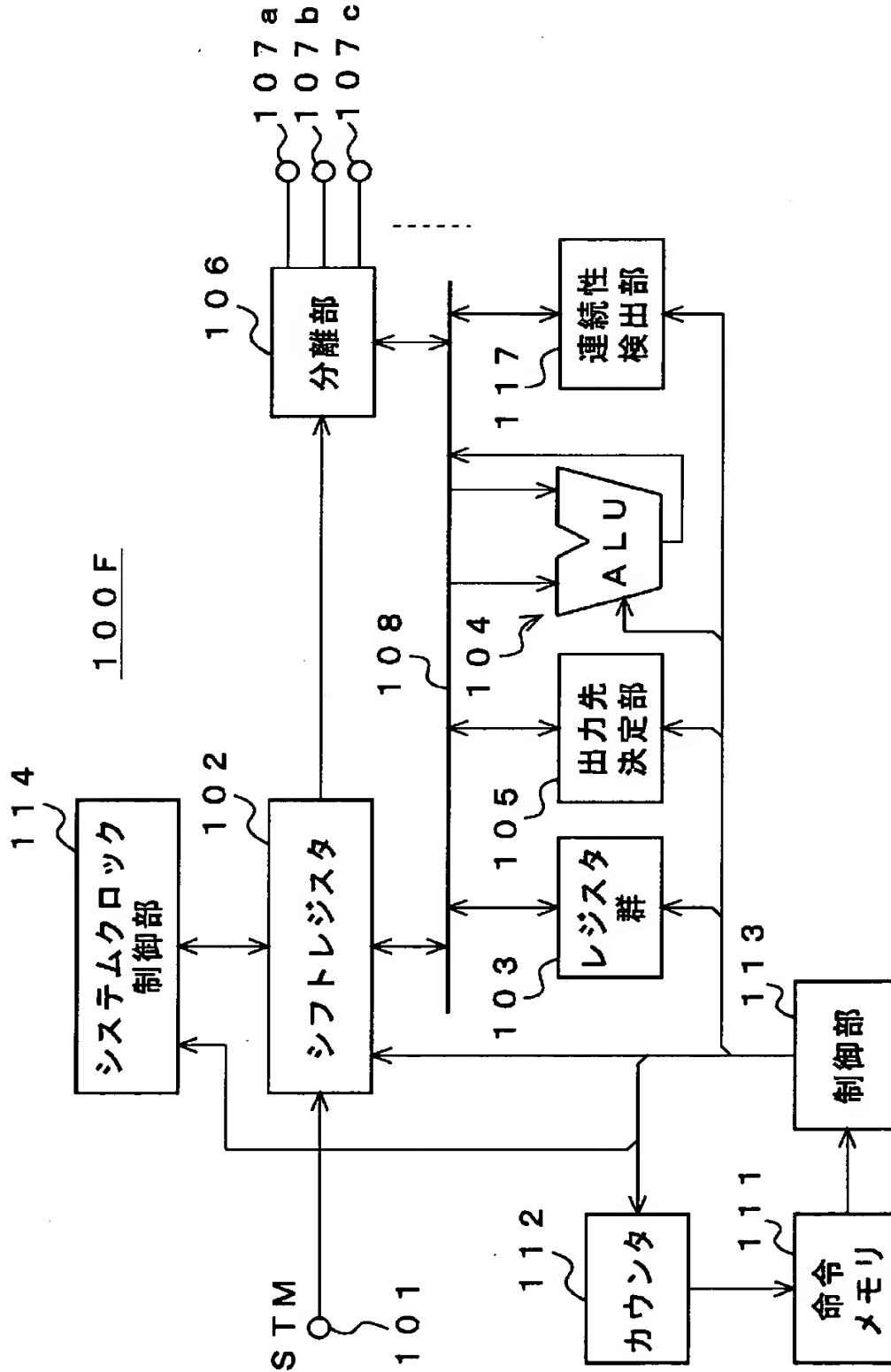
【図 6】

デマルチプレクサ（第 5 の実施の形態）



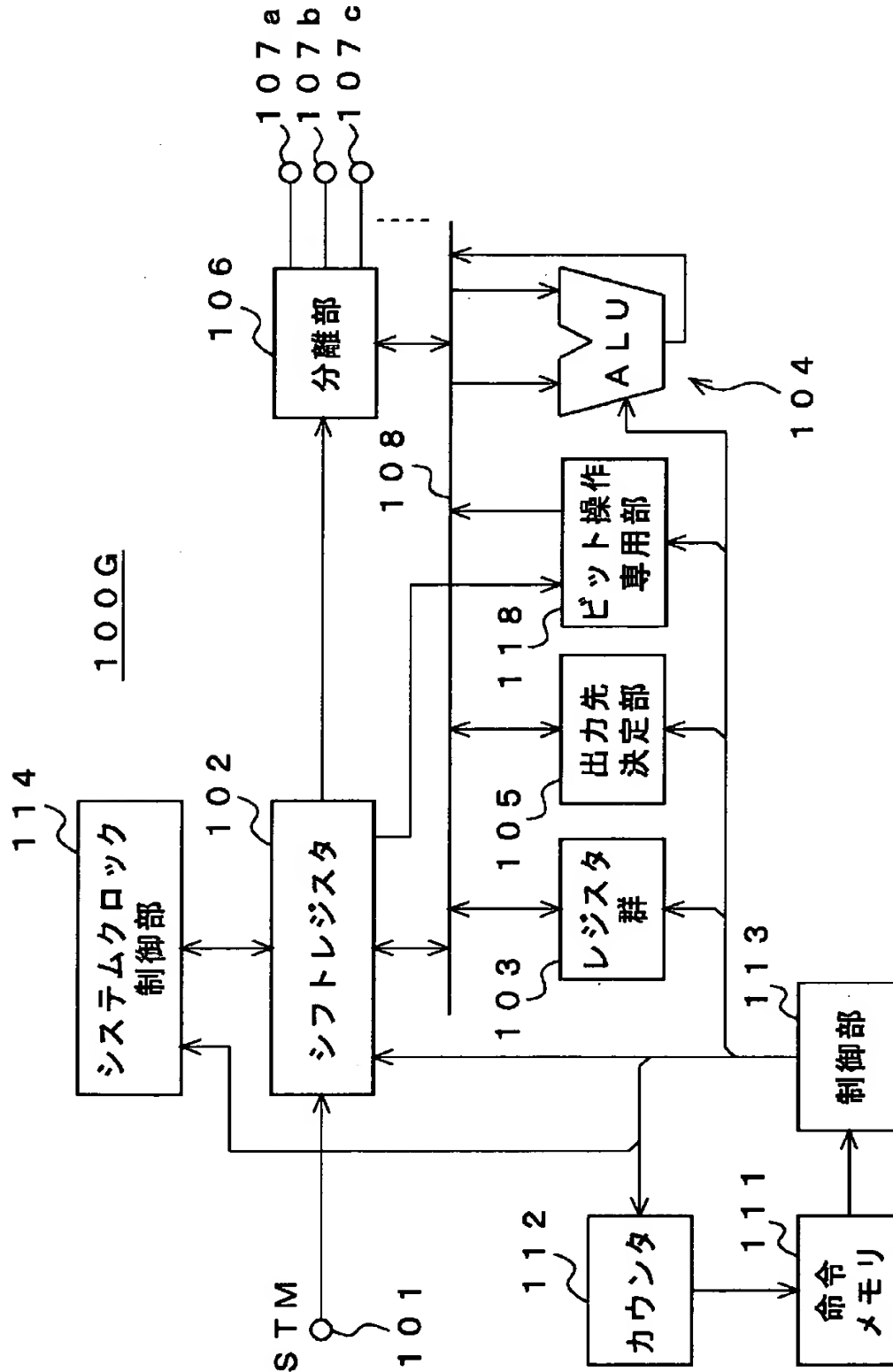
【図 7】

デマルチプレクサ（第 6 の実施の形態）



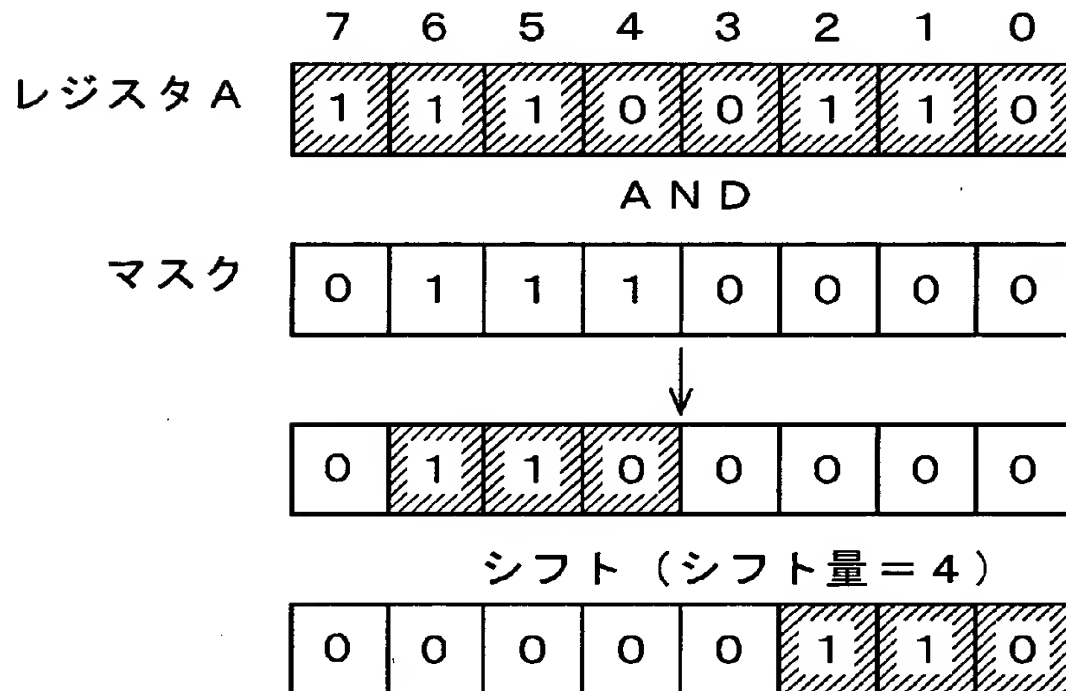
【図 8】

デマルチプレクサ（第 7 の実施の形態）



【図 9】

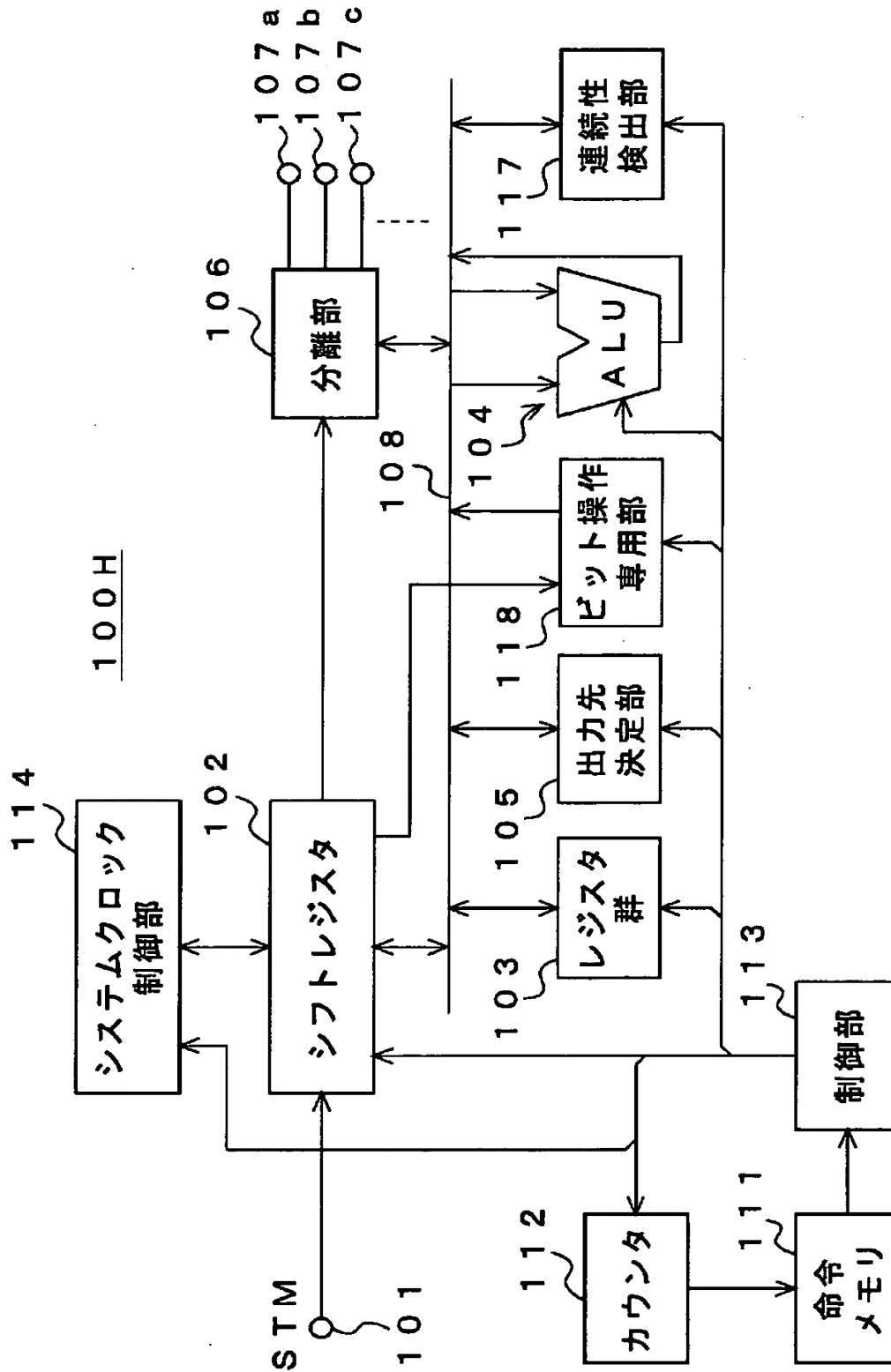
## ビット操作専用部の処理例





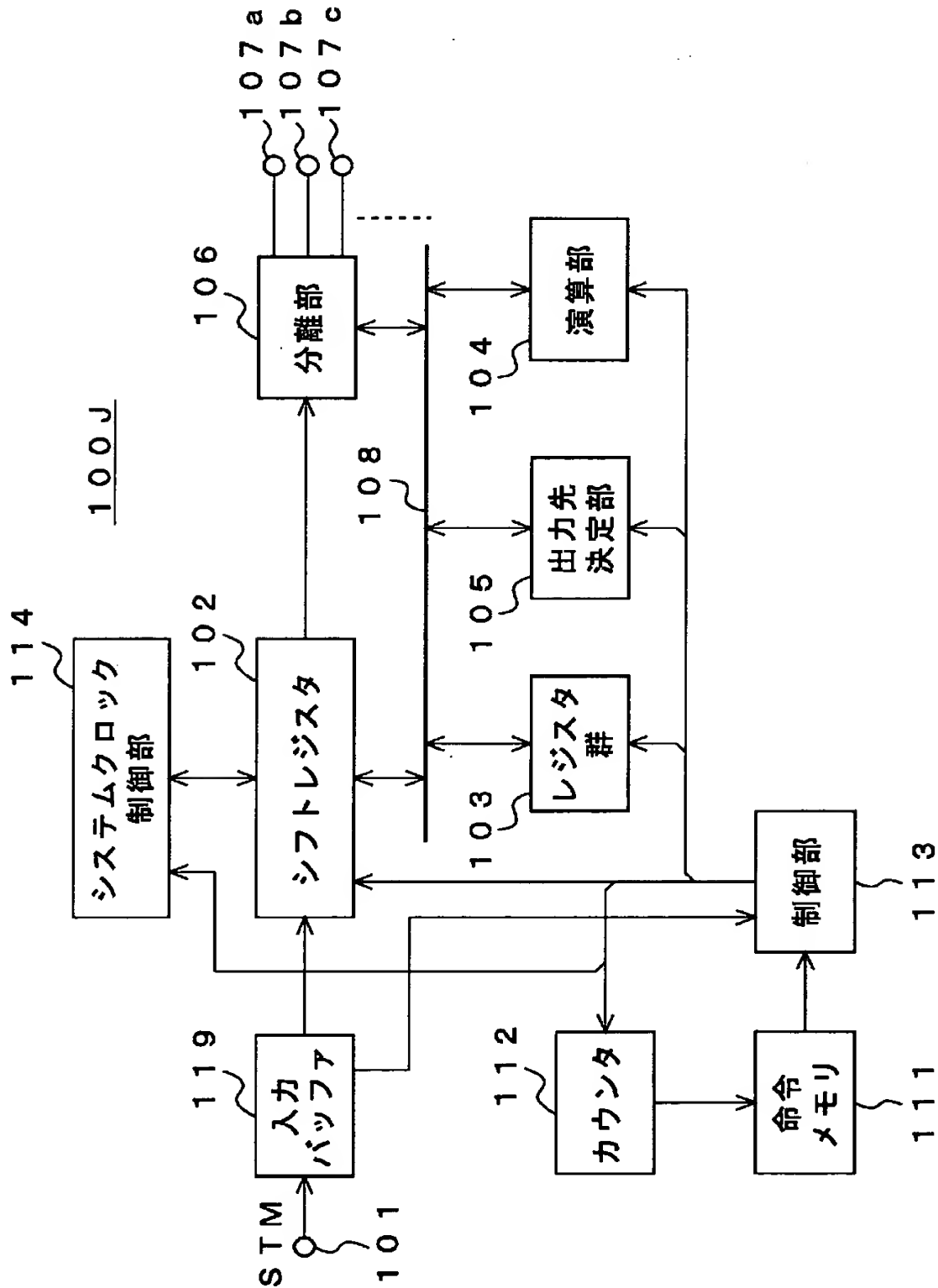
【図10】

デマルチプレクサ（第8の実施の形態）



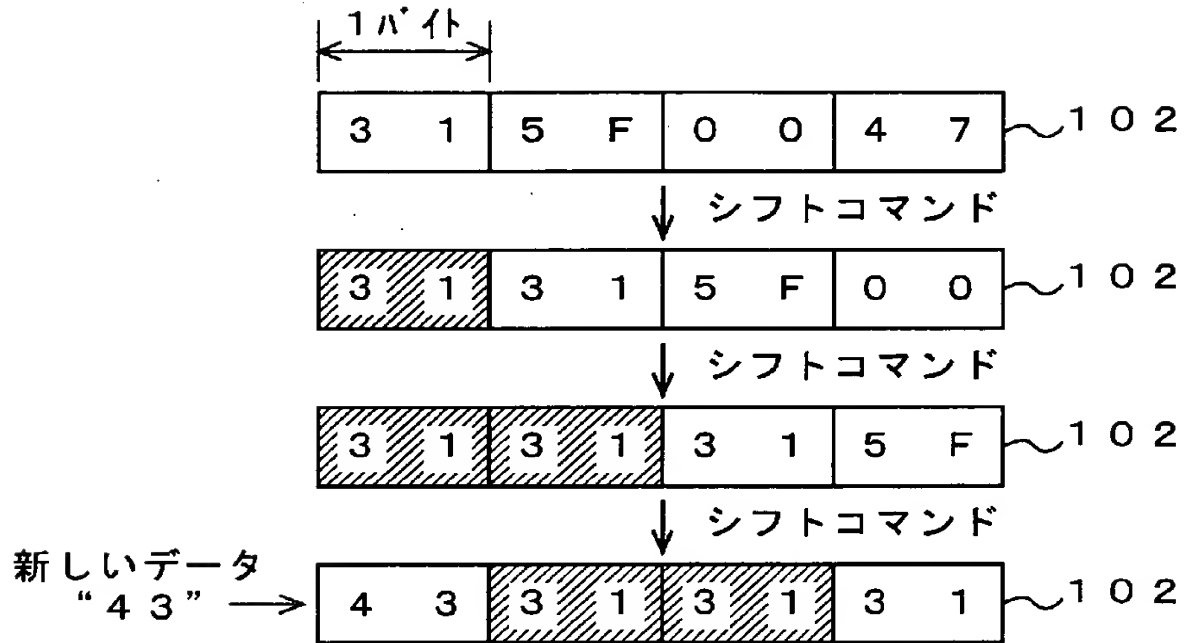
【図11】

デマルチプレクサ（第9の実施の形態）



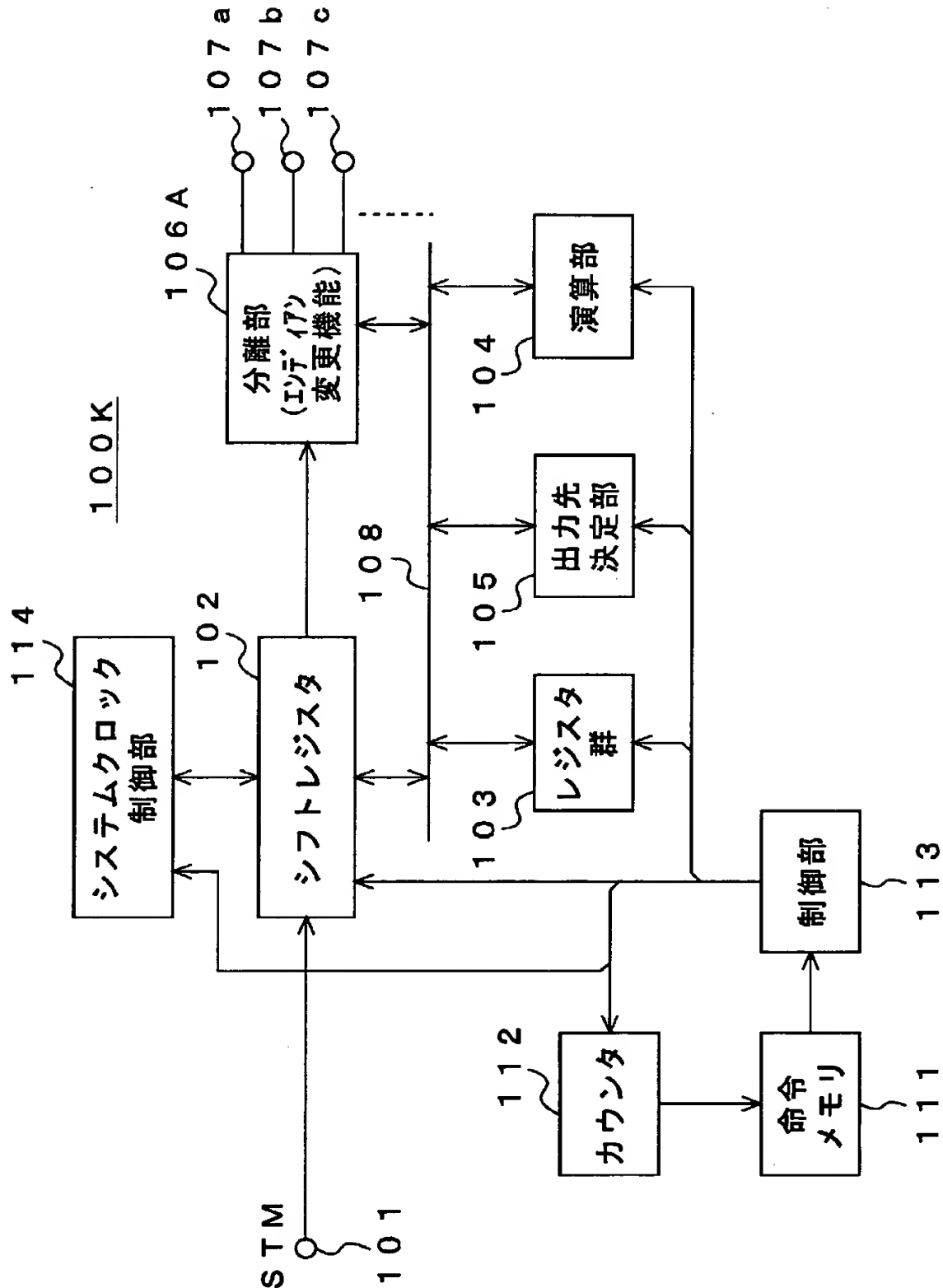
【図 1 2】

## シフトレジスタのシフト例



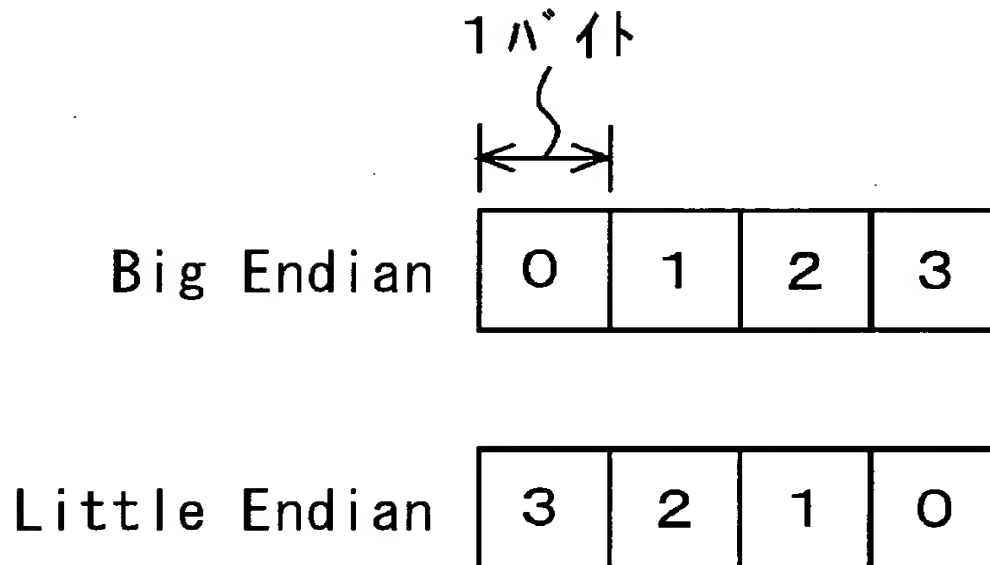
【図13】

デマルチプレクサ（第10の実施の形態）



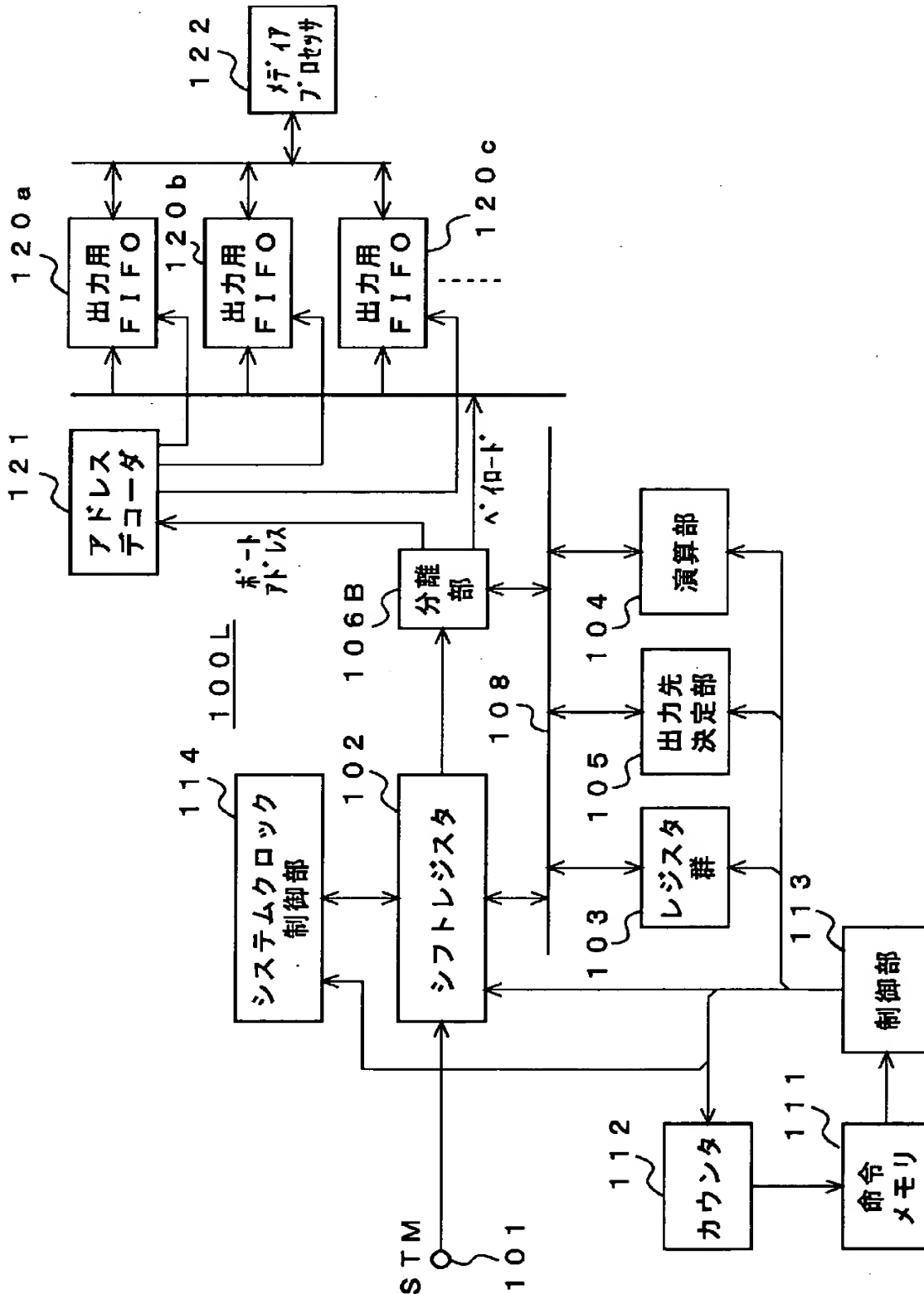
【図14】

# バイトの付番方式



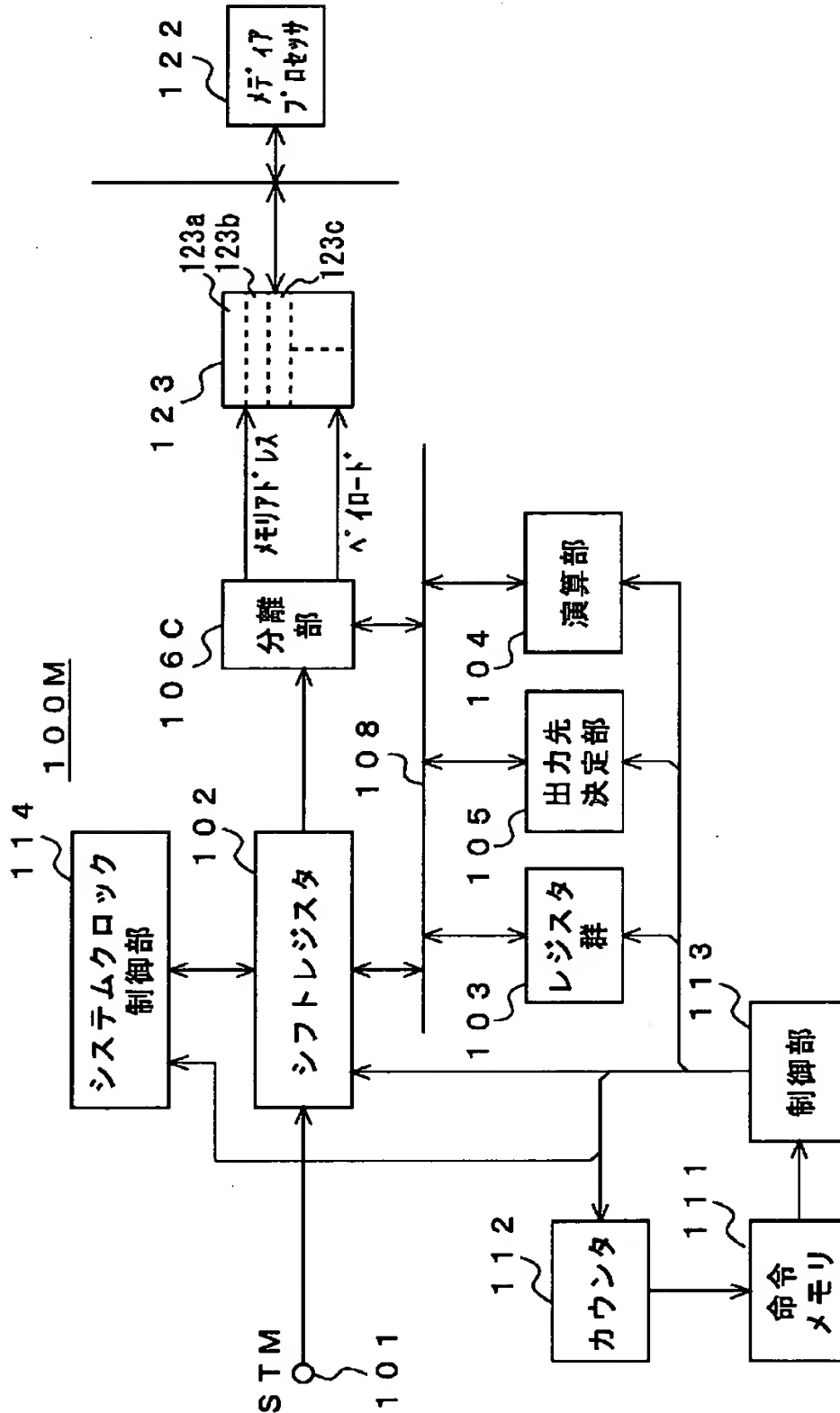
【図 15】

デマルチプレクサ（第 11 の実施の形態）



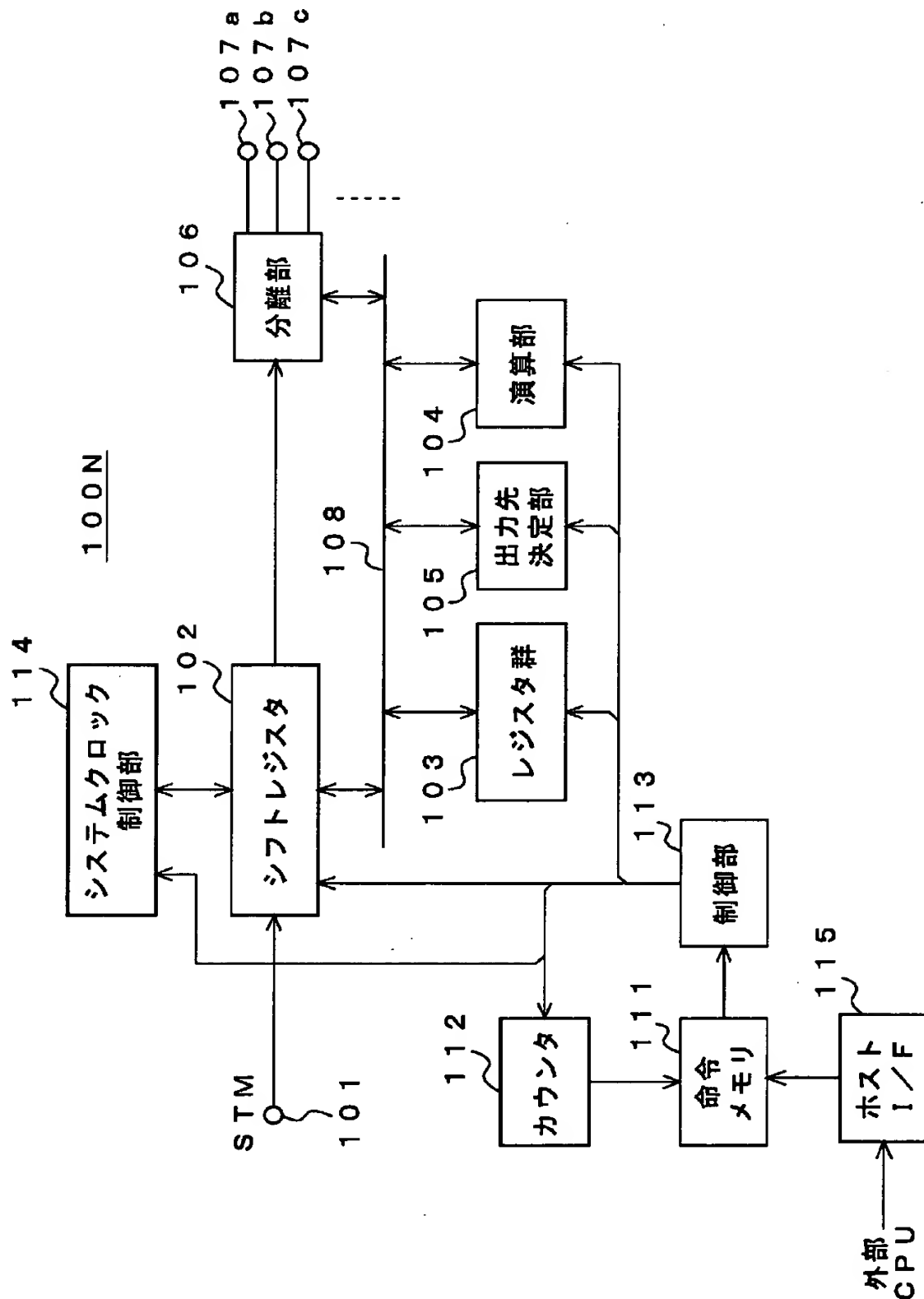
【図16】

デマルチプレクサ（第12の実施の形態）



【図17】

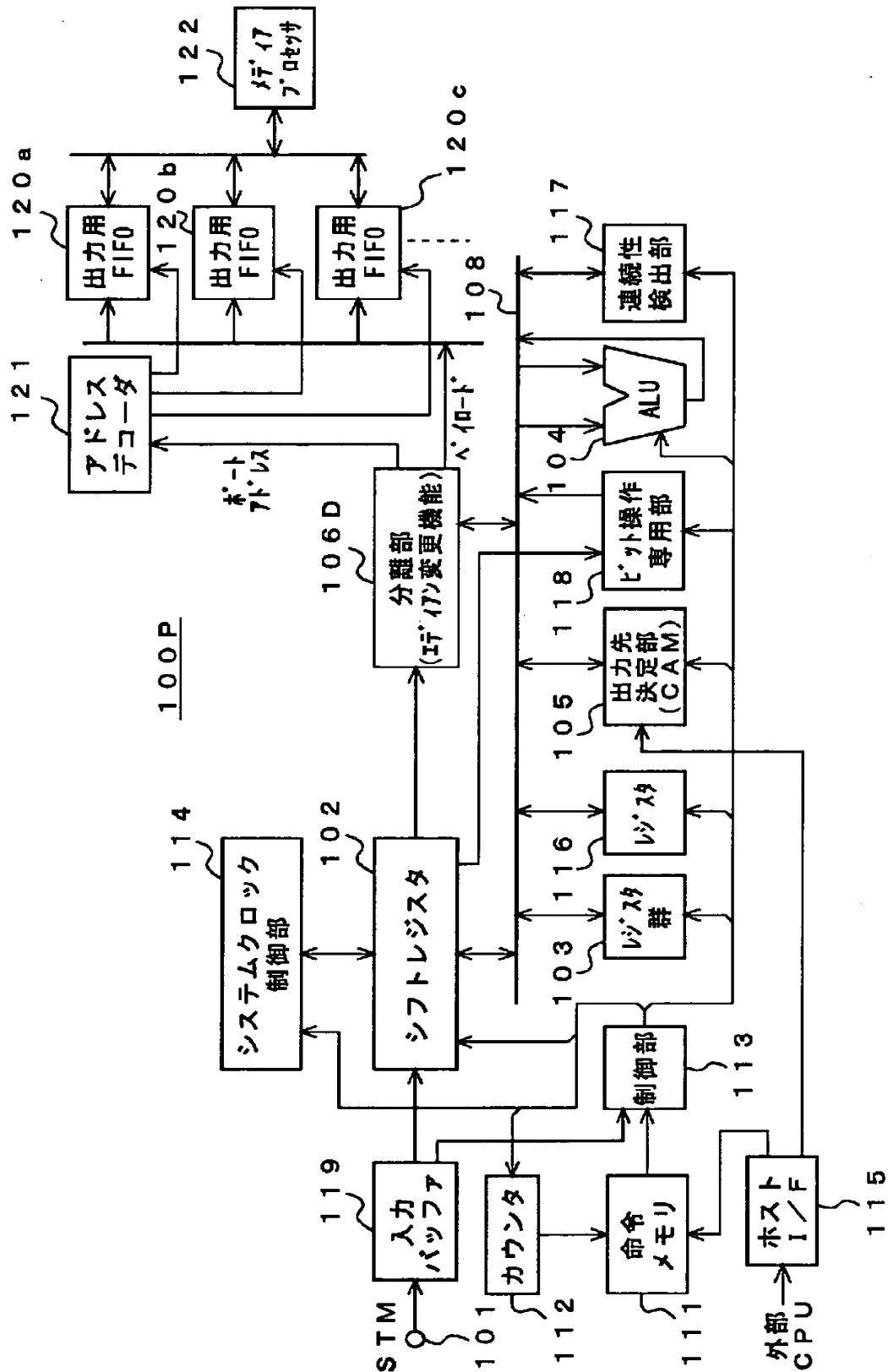
デマルチプレクサ（第13の実施の形態）





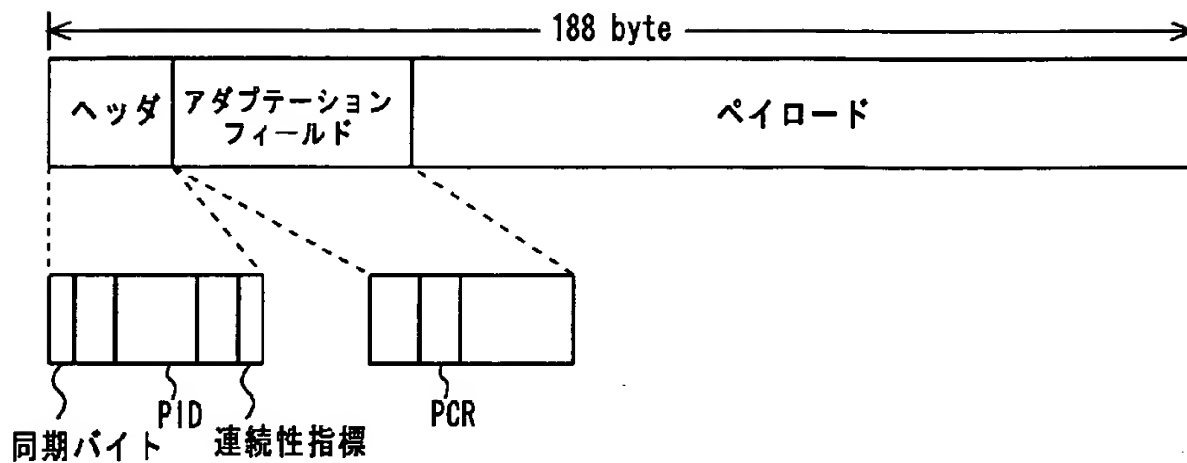
【図18】

デマルチプレクサ（第14の実施の形態）



【図19】

## DVBパケットの構造



【図20】

## DVBパケットのヘッダの主な項目

item	bits	remark
sync_byte	8	0x47でなければ packetをdiscardする。
transport_error_indicator	1	'1' ならば discard する。
payload_unit_start_indicator	1	'1' ならば PESかPSIの headerがある。
transport_priority	1	無視。
PID	13	PID filterで比較。
transport_scrambling_control	2	'00' 以外ならばdiscardする。
adaptation_field_cotrol	2	'00' ならばdiscardする。 '10', '11' ならばadaptation_fieldがあることを示す。
continuity_counter	4	不連続ならば discard する。

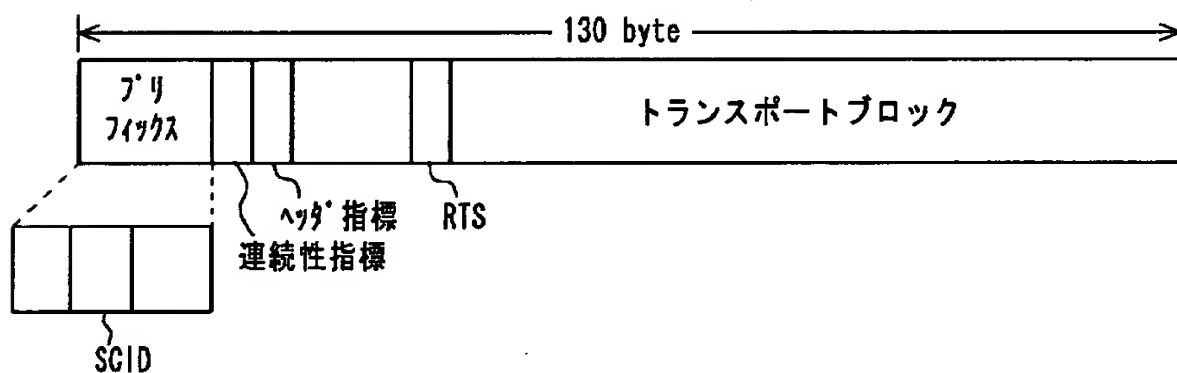
【図 2 1】

## アダプテーションフィールドの主な項目

item	bits	remark
adaptation_field_length	8	adaptation_field の Length。
discontinuity_indicator	1	無視。
random_access_indicator	1	無視。
element_stream_indicator	1	無視。
PCR_flag	1	'1' の場合 adaptation_field に PCR が含まれている。
PCR_base	33	PLL に latch される。
PCR_extension	9	PLL に latch される。

【図 2 2】

## D S S パケットの構造



【図 2 3】

## D S S パケットのプリフィックスの主な項目

item	bits	remark
Packet Framing	1	packet 毎に '0' か '1' に toggle される。
Bundle Boundary	1	無視。
Control Flag	1	'0' ならば discard する。
Control Sync	1	無視。
Service Channel ID	12	PID filter で比較。

【図 2 4】

## C C、H D フィールドの 1 バイトの構成

item	bits	remark
Continuity Counter	4	不連続ならば discard する。
Header Designator	4	Video Application Packet の種類を示す。

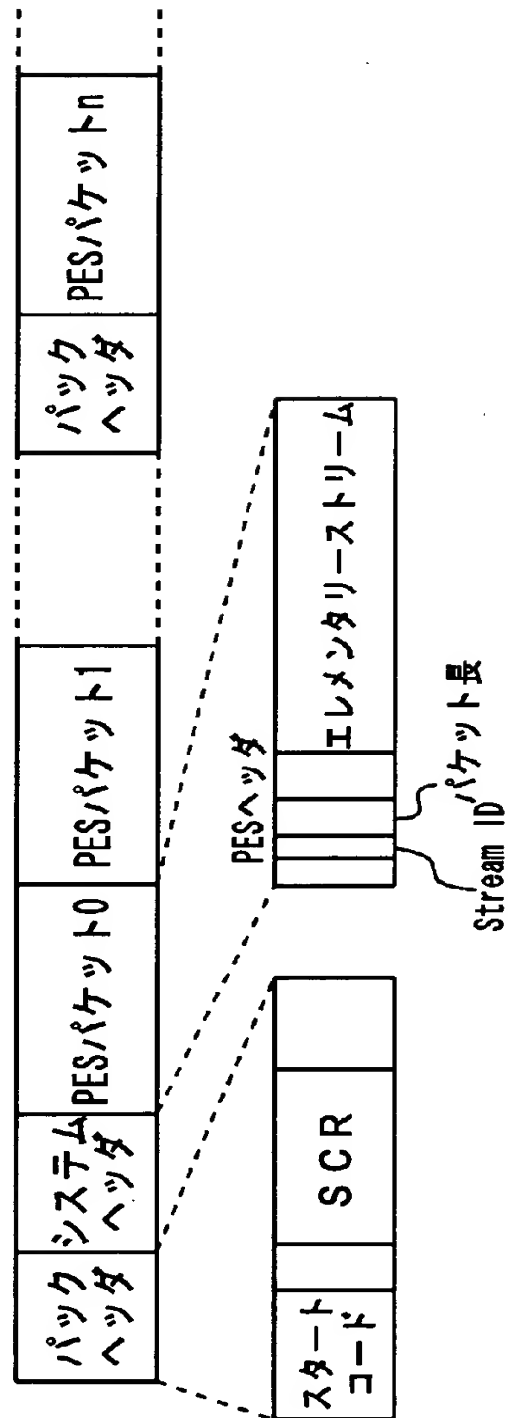
【図 2 5】

## Auxiliary Data パケットの場合

item	bits	remark
Modifiable Flag	1	無視。
Current Field Flag	1	'0' ならば discard する。
Aux Field ID	6	どの情報が入っているか示す。
Auxiliary Field Size	8	Auxiliary Data Block の size を示す。

【図 26】

# D V D パックの構造



【図 2 7】

## P E S ヘッダの主な項目

item	bits	remark
PES_start_code_prefix	24	0x000001である。
stream_id	8	element stream の種類を識別する。
PES_packet_length	16	PES packet の長さを示す。
PES_header_data_length	8	PES header の長さを示す。

【図 2 8】

## D V D パックヘッダの主な項目

item	bits	remark
pack_start_code	32	start code 0x000001BAに決定されている。
syetem_clock_reference_base	33	PLLに latch される。
system_clock_reference_extension	9	PLLに latch される。

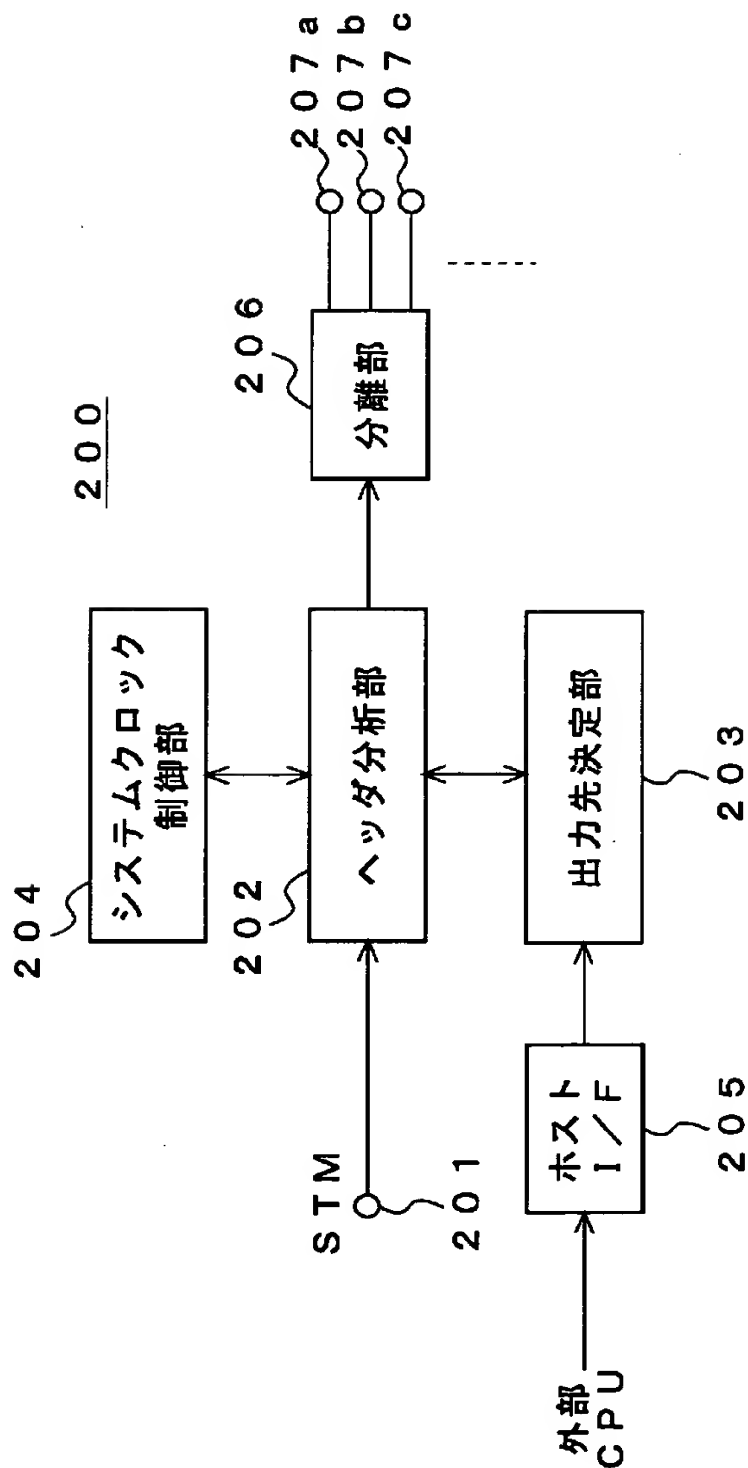
【図 2 9】

## システムヘッダの主な項目

item	bits	remark
system_header_start_code	32	start code 0x000001BBに決定されている。
header_length	8	system headerの length を示す。

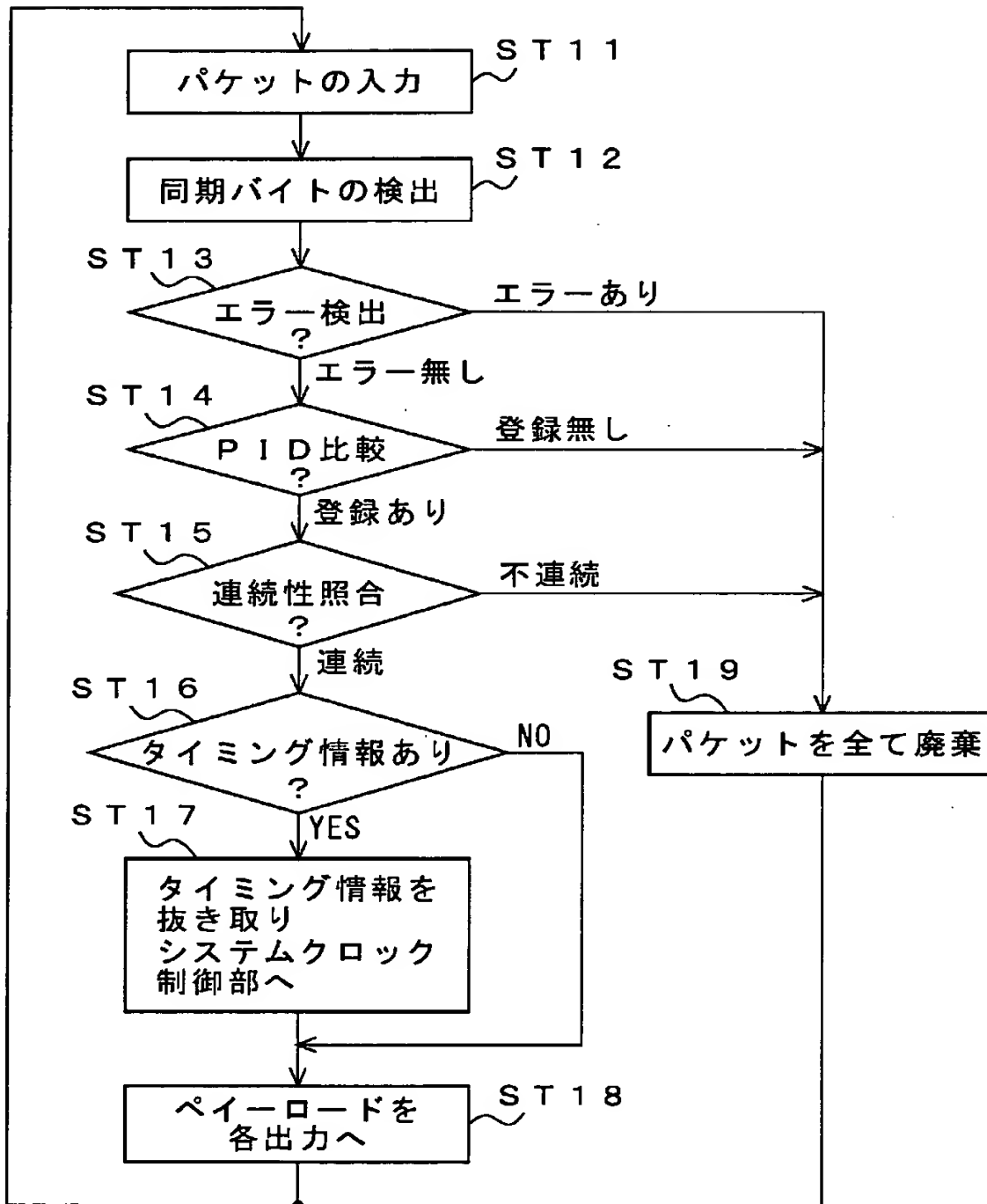
【図 30】

## 従来のデマルチプレクサ



【図 31】

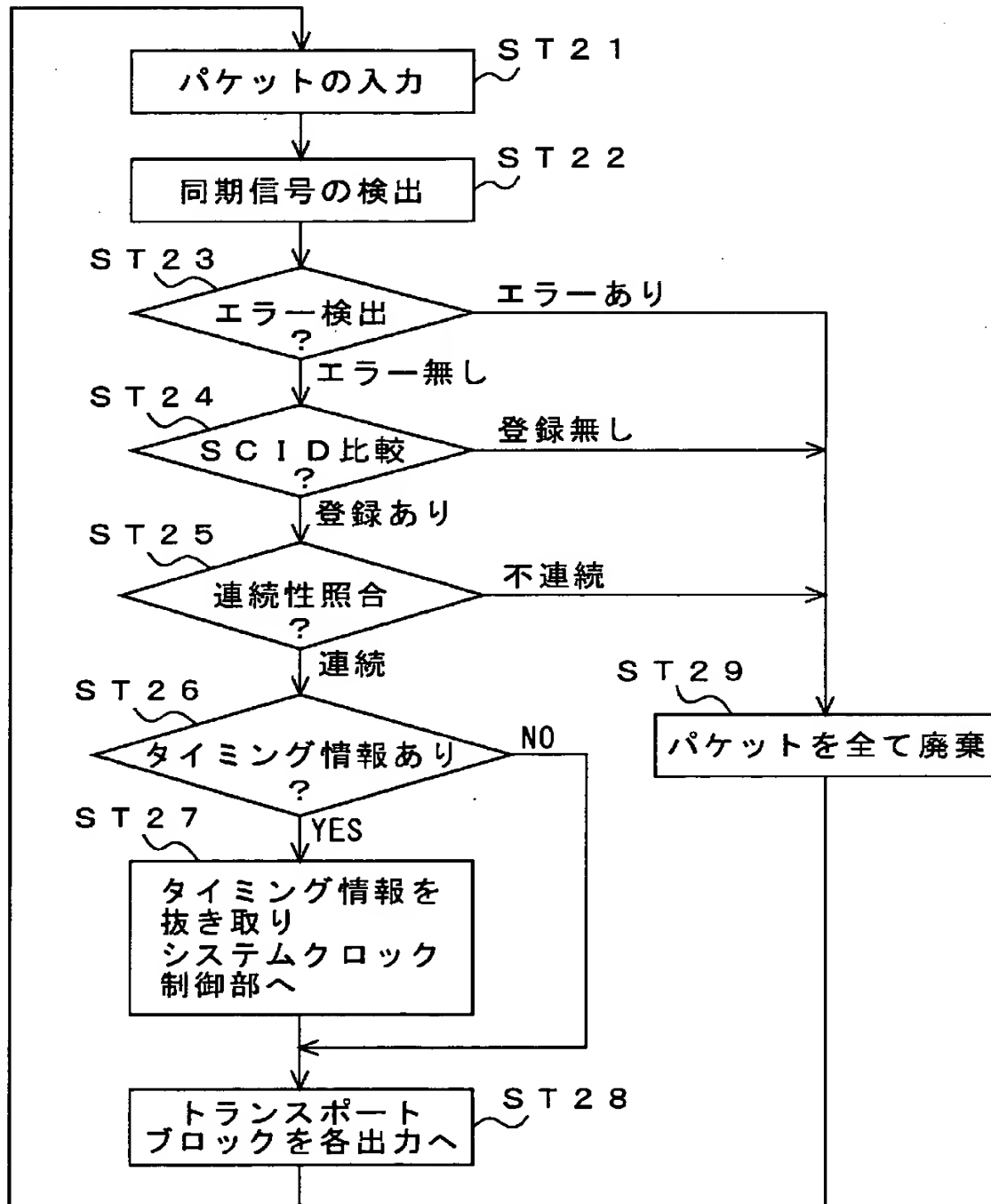
# DVBのパケット処理フロー





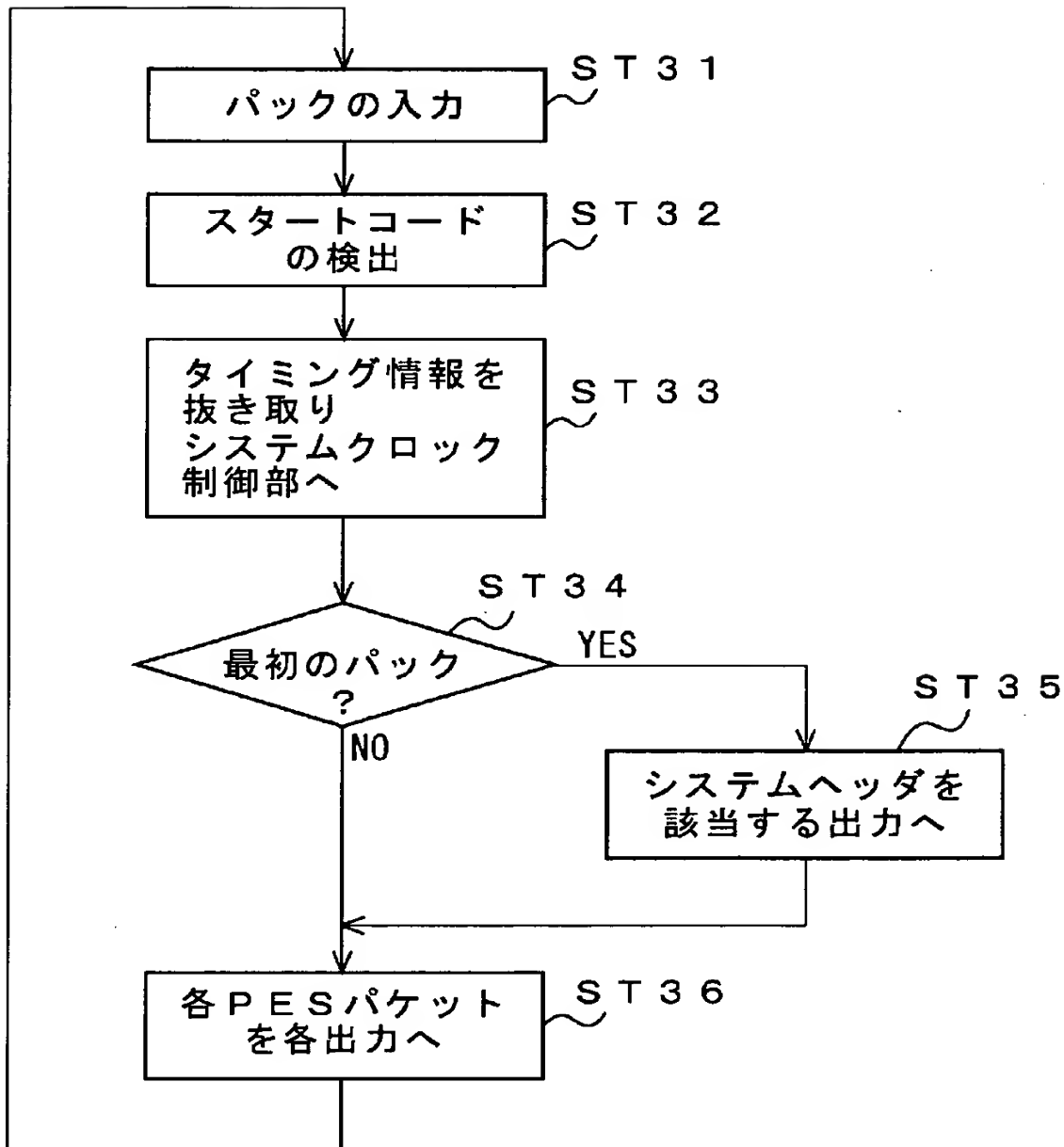
【図 32】

# DSSのパケット処理フロー



【図 33】

# D V D の パ ッ ク 処 理 フ ロ ー



【書類名】 要約書

【要約】

【課題】複数の多重化方式に対応でき、しかも回路規模の縮小とコストダウンを可能とする。

【解決手段】命令メモリ 1 1 1 より順次読み出されるマイクロコードに基づき、制御部 1 1 3 は各部を制御する制御信号を生成する。入力されたパケットはシフトレジスタ 1 0 2 に格納され、パケットのヘッダは必要に応じてレジスタ群 1 0 3 に取り込まれ、演算部 1 0 4 で解析される。ヘッダ内のパケット ID により、出力先決定部 1 0 5 で、出力先が決定される。分離部 1 0 6 は、演算部 1 0 4 の演算結果および出力先の決定結果に応じて、シフトレジスタ 1 0 2 の出力から任意のパケットを分離して所定の出力先に出力する。入力パケットよりタイミング情報を検出してクロック制御部 1 1 4 に供給し、システムクロックを制御する。命令メモリ 1 1 1 より読み出されるマイクロコードを変更することで、複数の多重化方式に対応でき、回路規模の縮小およびコストダウンが可能となる。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社